

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-128106

(43)Date of publication of application : 16.05.1997

(51)Int.Cl. G06F 1/32
G06F 1/04

(21)Application number : 07-278904 (71)Applicant : INTERNATL BUSINESS
MACH CORP <IBM>

(22)Date of filing : 26.10.1995 (72)Inventor : MATSUSHIMA SHINJI
KONO SEIICHI
NAKANO MASATAKE
INUI TAKASHI

(54) INFORMATION PROCESSING SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a superior information processing system which is a type having a power management function for reducing the power consumption by adequately lowering or stopping the operating frequency of a CPU.

SOLUTION: The CPU has a normal mode, a power saving mode which is lower in power consumption than the normal mode, and a stop mode where the operation is completely stopped. Then the system has ≥ 1 peripheral equipment and a bus for communicating with the CPU and further has a communication port which is physically connected to other independent equipments and transfers data and a bus cycle detecting means

which monitors bus cycles on the bus. In response to the detection of a bus cycle for assessing the communication port, a state decision means determines the operation mode of the CPU. Once the state decision means determines the power-saving mode, a control signal for placing the CPU in the power-saving mode is sent to the CPU. Further, a control signal for stopping the CPU is sent once the stop mode is determined.

LEGAL STATUS [Date of request for examination] 05.11.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2974950

[Date of registration] 03.09.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] (a) CPU with each mode of operation of the normal mode, the power-saving mode with power consumption lower than the normal mode, and the stop mode that stopped actuation completely, (b) One or more peripheral devices and (c) The bus for communicating between said CPUs and said peripheral devices, (d) others -- with the communication link port for connecting with the independent device physically and performing data transfer (e) The bus cycle detection means for carrying out the monitor of the bus cycle on said bus, (f) It answers having detected the bus cycle for accessing said communication link port. The condition judging means for determining the mode of operation of said CPU, and (g) A signal generation means to send a control signal for said condition judging means to make said CPU the power-saving mode according to

having determined the purport which is the power-saving mode to said CPU, (h)

Information processing system characterized by including the CPU actuation

means for stopping for stopping actuation of said CPU completely according to

having determined the purport said whose condition judging means is stop mode

[claim 2] Said condition judging means is information processing system [claim

3] according to claim 1 which answers that the bus cycle which accesses the

dataport for said communication link port did not occur beyond the 1st

predetermined time under the normal mode, and is characterized by determining

the purport which is the power-saving mode. Said condition judging means is

information processing system [claim 4] according to claim 1 which answers that

the bus cycle which performs a setup or discharge of a control value for the data

transfer through said communication link port under the power-saving mode did

not occur beyond the 2nd predetermined time, and is characterized by

determining the purport which is stop mode. Said condition judging means is

information processing system [claim 5] according to claim 1 which answers that

the bus cycle which accesses the dataport for said communication link port

occurred under the power-saving mode, and is characterized by determining the

purport which is the normal mode. Said condition judging means is information

processing system [claim 6] according to claim 1 which answers that the bus cycle which performs a setup or discharge of a control value for the data transfer through said communication link port under stop mode occurred, and is characterized by determining the purport which is the power-saving mode. (a) CPU with each mode of operation of the normal mode, the power-saving mode with power consumption lower than the normal mode, and the stop mode that stopped actuation completely, (b) One or more peripheral devices and (c) The bus for communicating between said CPUs and said peripheral devices, (d) others -- with the communication link port for connecting with the independent device physically and performing data transfer (e) The CPU monitor means for carrying out the monitor of the operating state of said CPU, (f) The bus cycle detection means for carrying out the monitor of the bus cycle on said bus, (g) It answers having detected the bus cycle for accessing said communication link port. The condition judging means for determining whether it is possible to carry out mode transition of said CPU to any of the power-saving mode or stop mode, (h) The signal generation means for sending the control signal for making said CPU into the power-saving mode to said CPU, (i) The CPU actuation means for stopping for making said CPU into stop mode, (j) Information processing system

characterized by including the power-saving control means to which activation of either said signal generation means or said CPU actuation means for stopping is carried out according to the both sides of the monitor result by said CPU monitor means, and the judgment result by said condition judging means [claim 7] Said condition judging means is information processing system [claim 8] according to claim 6 characterized by for the bus cycle which accesses the dataport for said communication link port answering having not generated beyond the 1st predetermined time, and determining the purport in which the transition to the power-saving mode is possible under the normal mode. Said condition judging means is information processing system [claim 9] according to claim 6 characterized by for the bus cycle which performs a setup or discharge of a control value for the data transfer through said communication link port answering having not generated beyond the 2nd predetermined time, and determining the purport in which the transition to stop mode is possible under the power-saving mode. Said condition judging means is information processing system [claim 10] according to claim 6 characterized by determining the purport which should answer that the bus cycle which accesses the dataport for said communication link port occurred, should forbid the power-saving mode, and

should return to the normal mode under the power-saving mode. Said condition judging means is information processing system [claim 11] according to claim 6 characterized by determining the purport which should answer that the bus cycle which performs a setup or discharge of a control value for the data transfer through said communication link port occurred, should forbid stop mode, and should return to the power-saving mode under stop mode. It is the information processing system [claim 12] according to claim 6 or 7 which said CPU answers having detected that said CPU monitor means was an idle state at the period when said condition judging means has permitted the transition to the power-saving mode, and is characterized by said power-saving control means carrying out activation of said signal generation means. It is the information processing system [claim 13] according to claim 6 or 8 which said CPU answers having detected that said CPU monitor means was an idle state at the period when said condition judging means has permitted the transition to stop mode, and is characterized by said power-saving control means carrying out activation of said CPU actuation means for stopping. It is the information processing system [claim 14] according to claim 6 or 9 characterized by said power-saving control means not carrying out activation of said signal generation means even if

the period when said condition judging means has forbidden the transition to the power-saving mode detects that said CPU monitor means is [said CPU] an idle state. Said condition judging means is transition to stop mode. It is the information processing system [claim 15] according to claim 6 or 10 characterized by said power-saving control means not carrying out activation of said said CPU actuation means for stopping even if the forbidden period detects that said CPU monitor means is [said CPU] an idle state. Said communication link port is information processing system [claim 16] given in either claim 2 characterized by being a serial port and said bus cycle detection means detecting the bus cycle which accesses I/O Port 3F8h street (COM1), 2F8h street (COM2), three E8h street (COM3), or two E8h street (COM4) as a dataport for serial transmission, or claim 4. Said communication link port is information processing system [claim 17] given in either claim 2 characterized by being a parallel port and said bus cycle detection means detecting the bus cycle which accesses an I/O Port 3BCh address (LPT1), 378h street (LPT2), or 278h street (LPT3) as a dataport for parallel transmission, or claim 4. Said bus cycle detection means as a bus cycle which said communication link port is a serial port, and performs a setup or discharge of a control value for serial transmission

I/O Port 3F9h street thru/or 3FFh addresses (COM1), 2F9h street thru/or 2FFh addresses (COM2), three E9h street, or 3EFh addresses (COM3), Information processing system given in either claim 3 characterized by detecting the access cycle of either 2F9h street thru/or 2EFh addresses (COM4), or claim 5 [claim 18]

It is information processing system [claim 19] given in either claim 3 characterized by for said communication link port being a parallel port, and said bus cycle detection means detecting the access cycle of either an I/O Port 3BDh address thru/or 3BFh addresses (LPT1), 379h street or 37Fh addresses (LPT2), 279h street or 27Fh addresses (LPT3) as a bus cycle which performs a setup or discharge of a control value for parallel transmission, or claim 5. Said communication link port is information processing system [claim 20] given in either claim 7 characterized by being a serial port and said bus cycle detection means detecting the bus cycle which accesses I/O Port 3F8h street (COM1), 2F8h street (COM2), three E8h street (COM3), or two E8h street (COM4) as a dataport for serial transmission, or claim 9. Said communication link port is information processing system [claim 21] given in either claim 7 characterized by being a parallel port and said bus cycle detection means detecting the bus cycle which accesses an I/O Port 3BCh address (LPT1), 378h street (LPT2), or 278h

street (LPT3) as a dataport for parallel transmission, or claim 9. Said bus cycle detection means as a bus cycle which said communication link port is a serial port, and performs a setup or discharge of a control value for serial transmission I/O Port 3F9h street thru/or 3FFh addresses (COM1), 2F9h street thru/or 2FFh addresses (COM2), three E9h street, or 3EFh addresses (COM3), Information processing system given in either claim 8 characterized by detecting the access cycle of either 2F9h street thru/or 2EFh addresses (COM4), or claim 10 [claim 22] It is information processing system given in either claim 8 characterized by for said communication link port being a parallel port, and said bus cycle detection means detecting the access cycle of either an I/O Port 3BDh address thru/or 3BFh addresses (LPT1), 379h street or 37Fh addresses (LPT2), 279h street or 27Fh addresses (LPT3) as a bus cycle which performs a setup or discharge of a control value for parallel transmission, or claim 10.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to information processing system including a personal computer (PC), and relates to the information processing system of the type which has the energy saving function whose power is saved by falling or stopping suitably the clock frequency of the processor (the so-called CPU:Central Processing Unit) which bears the nucleus of data processing in a system especially. Furthermore, this invention relates to the information

processing system with which **** also falls or stops the clock frequency of CPU, and attains power-saving in the period (or under starting of communication link application) which is communicating with the device by which others became independent in detail, filling a demand of both sides called maintenance of the power-saving effectiveness and a system.

[0002]

[Description of the Prior Art] In connection with the technological innovation of these days, various personal computers (henceforth "PC" or a "system"), such as a desktop mold and a notebook mold, are developed and marketed. Among these, the computer of a notebook mold ponders pocket-and portability-use on the outdoors, and is designed and manufactured small and lightweight.

[0003] The power management of a personal computer: One description of the notebook mold PC is a point which is the "dc-battery drive mold" which can be driven also with the built-in dc-battery. This is because facilities were given to use in the location which a source power supply does not reach. Generally the dc-battery which Notebook PC contains has taken the gestalt of the "battery pack" which connects and comes [package]-izing [the battery cell (it is also called a "rechargeable battery") of charge types, such as nickel-Cd, NiMH, and

Li-Ion,]. [two or more] Although such a battery pack is reusable with charge, the charge capacity per time is converted into the operation time amount of a system, and is only about at most 2 - 3 hours. For this reason, the various creativity for power saving is put in order to lengthen the persistence time of a dc-battery. The point which has introduced the energy saving function positively can also be said to be one of the descriptions of Notebook PC.

[0004] Moreover, recently, the demand of power-saving has been increasing from an ecology-viewpoint also to the desktop mold PC which can supply electric power to an inexhaustible supply by the source power supply. U.S. Environmental Protection Agency (EPA) is requiring that the self-imposed control called "Energy Star Computer Program" is announced and power saving in a waiting state of operation will become below fixed criteria (drive power is 30% or less at the time of less than [30W] or CPU full operation) in June, 1993. For this reason, each computer maker has come to further research and development of the product which met this regulation proposal competitively. For example, IBM Japan Corp. has already marketed the desktop mold PC equipped with the energy saving function (for example, PS / 55E (common-name "GreenPC"), PC 750, Aptiva ("Aptiva" is trademark of U.S. IBM) series, etc.).

[0005] Knot electrification of PC is realized by reducing the drive power of each electrical circuit for example, in a system itself. Moreover, it realizes also by saying that it responds to the fall of operating state (activity), and the electric power supply to each electrical circuit in a system (or peripheral device) is fallen or intercepted suitably. The thing of an energy saving function like the latter may be especially called "a power management (Power Management)."

[0006] As a gestalt of the power management of PC, "LCD OFF", "HDD OFF", etc. of intercepting the electric power supply of the devices which occupy a big wait will be mentioned to the total power consumption of a system like LCD (liquid crystal display display) and its back light, or the rotary motor of a hard disk drive (HDD). Moreover, as other examples, after saving a fall or "the CPU slow clock / stop clock" which carries out a drop dead halt, and data required for a task restart (resume) to main memory for the clock frequency of CPU (Central Processing Unit), "the suspension (Suspend) etc." etc. which stops the electric supply to almost all electrical circuits other than main memory will be mentioned.

[0007] The power-management function of CPU: A CPU chip is a unit which makes the nucleus of data processing in computer system as everyone knows. Recently, the clock frequency of CPU is increasingly accelerated with

improvement in semi-conductor manufacturing technologies, such as contraction-izing of wiring width of face. For example, the CPU chip which can be driven with the clock frequency exceeding 100MHz like "Pentium" which U.S. Intel markets, and "PowerPC" ("PowerPC" is the trademark of U.S. IBM) which U.S. IBM, U.S. Motorola, and the U.S. Apple company developed jointly has also appeared in a world. The clock frequency and the engine performance of CPU have a close relation. It is because calculation speed will rise so much if actuation of CPU accelerates. High-speed CPU demonstrates the outstanding power in large-scale application, graphics operation, etc. especially.

[0008] On the other hand, improvement in the speed of CPU is accompanied by some evils. One of the evils is increase of the power consumption of CPU, and the problem of generation of heat. It is because power consumption and calorific value also increase to per unit time amount according to increase of the amount of currents which passes a transistor gate (namely, resistor). The power consumption of CPU is said for a theory top to be in direct proportion to clock frequency, and the rate of occupying to current and the total power consumption of a system is reaching extent which cannot be disregarded.

[0009] It can be said that the power management function of CPUs, such as

above-mentioned "CPU slow clock / stop clock", was produced paying attention to such a situation. a "slow clock" and a "stop clock" -- CPU -- a waiting state (namely, idle state.) of operation For example, when the key / mouse input from a user are judged to be in a condition without beyond predetermined time, power consumption is reduced for the clock frequency by a fall or the thing done for a drop dead halt (the performance of CPU will be reduced if it puts in another way). However, it could not be overemphasized that the performance of CPU can be dropped only to extent which degrades neither the turnaround time (namely, duration from a demand to acknowledge) nor a throughput (workload per unit time amount). Hereafter, each function of the "slow clock" of CPU and a "stop clock" is explained.

[0010] Slow clock: The slow clock function of CPU is realizable by switching the frequency of the input-clock signal from an oscillator externally. Or it can realize also by switching clock frequency inside a CPU chip, keeping constant the frequency of the input clock to a CPU chip. In the case of a high speed CPU, the general comparatively low speed clock signal (for example, 66MHz) is inputted, and a clock of operation is internally accelerated by the built-in PLL (Phase Lock Loop) circuit (for example, 2X 133MHz). In the case of such a CPU of a type, it is

difficult to switch sharply the frequency of the input clock to a CPU chip itself for the reasons of the property (for example, the problem of the resonant frequency of an oscillator circuit and the problem of the time delay (several msec extent) taken for a phase lock to function) of a PLL circuit etc. For this reason, the design technique of building in not only a PLL circuit but the slow clock function (power management function) which can switch a clock of operation internally is also taken. In this case, it is the structure that a built-in slow clock function drops the performance of CPU on the interior of a chip autonomously, once accelerating the input clock by the built-in PLL circuit.

[0011] The internal configuration of CPU which built in the power management function is roughly shown in drawing 8 . In this drawing, CPU chip 11 is connecting each peripheral device (not shown in drawing 8) of the chip 11 exterior bidirectionally through the processor bus 12 including functional unit 11a which actually processes operation control etc. and which is a part, PLL circuit 11b which gives the clock signal of operation for a synchronous drive to functional unit 11a, and performance control circuit 11c for controlling the performance of functional unit 11a.

[0012] The PLL circuit already has the function which carries out multiplying of

the frequency of the inputted clock signal so that ****. PLL circuit 11b of this example ****-izes the comparatively low speed clock signal (for example, 66MHz) inputted from the oscillator (OSC) 40 (for example, 133MHz), and supplies it to functional unit 11a as clock frequency.

[0013] Functional unit 11a can be divided into an arithmetic unit part (the inside of drawing 8 , duplex shadow area), and internal KYUSSHU / control unit part.

the former arithmetic unit is also the part which may carry out the until fall of the performance to some extent according to the activity of a system (however, extent in which a performance fall is possible is extent which degrades neither the turnaround time nor a throughput). On the other hand, an internal cache/control unit is the parts which must answer the time and the critical external events which are generated irregularly, such as a cache snoup, an interrupt request (INTR/NMI/SMI), and a hold demand (HOLD) of a bus 12. The latter is also the activity of a system not being [how] scrupulous and dropping performance easily, or the part which is not made.

[0014] Performance control circuit 11c is a circuit which controls the performance of functional unit 11a according to control signal STPCLK# inputted from the outside. more -- concrete -- circuit 11c -- STPCLK# -- being active (namely, low

state) -- while having become, the clock frequency to the arithmetic unit part in functional unit 11c (above-mentioned: duplex shadow area in drawing 8) can be intercepted. That is, CPU chip 11 has the structure where performance can be fallen locally. moreover, STPCLK# inputted into performance control circuit 11c as this application -- intermittent -- being active (namely, low state) -- there is also technique of thinning out the input operation clock from PLL circuit 11b by switching. for example, STPCLK# -- a predetermined period -- being active (namely, low state) -- carrying out -- n times -- 1 time -- if it comes out comparatively and a clock of operation is thinned out, the performance and power consumption of an arithmetic unit part will be made reduced by abbreviation $(n-1) / n$ times Generally the function to which the intermittent control action of STPCLK# is carried out is also called "clock throttling" or "Frequency Emulation."

[0015] Under slow clock mode, the input clock from an oscillator 40 or the actuation of PLL circuit 11b itself are not changed at all with the time of the usual high-speed operation. Therefore, it is possible to return to the normal mode comparatively from slow clock mode in an instant. This point should mind enough, in order to understand the summary (after-mentioned) of this invention.

[0016] Incidentally, SL en hunger strike 486 which is the succeeding chip of CPU-chip"80486" of U.S. Intel, DX2, DX4, Pentium, etc. are equipped with the energy saving function as shown in drawing 8 . Moreover, these chips contain STPCLK# as one of the control signals in the processor bus 12.

[0017] Stop clock: On the other hand, a stop clock function intercepts the input clock from an oscillator 40 completely, and stops all actuation of functional unit 11a. The drop dead halt of a clock of operation is realizable by designing CPU chip 11 in a full static configuration with unnecessary storage maintenance actuation. Under stop clock mode, the power consumption of CPU is only about hundreds of mW at most.

[0018] However, since PLL circuit 11b is also stopped completely, in order [which is a high speed again] to make it usually return to the mode, the time delay of about 1 msec extent is required in stop clock mode for stability (lock of a phase) of PLL circuit 11b of operation etc. This point should mind enough, in order to understand the summary (after-mentioned) of this invention.

[0019]

[Problem(s) to be Solved by the Invention] Generally power management operation including the slow clock / stop clock of CPU is realized by

collaboration-operation with the hardware besides the CPU chip which supervises a system use situation, and the software which the CPU itself performs.

[0020] The example of representation of the software for realizing a power management is "APM" (Advanced Power management) which U.S. Intel and U.S. Microsoft proposed together. APM becomes effectual under the OS (operating system) environment corresponding to APM. The OS environment corresponding to APM, i.e., the hardware which is the controlled system of 1:power saving, BIOS (it is also called "APM BIOS") which performs actually hardware actuation required for 2:power-management actuation, and 3: Respond to the fall of the operating state (activity) of a system, and it is APM. It is the thing of the system which consists of an OS which can call BIOS, and application corresponding to 4:APM. Here, it is a CPU chip possessing for example, a slow clock / stop clock function in 1:hardware. Moreover, the 3:APM correspondence OS is PC. DOS J6.1-/V or later, OS/2 J2.1 or later ("OS/2" is the trademark of U.S. IBM), Windows J3.1 or later etc. are mentioned. Generally the APM correspondence OS is APM. The "APM driver" for calling BIOS is included. Moreover, the application corresponding to 4:APM is the application program

which receives the inquiry of a purport which carries out power management actuation, and can acknowledge the propriety by registering oneself into an APM driver through API (application program interface).

[0021] If the software which resides permanently in OS like APM is used, the power management (for example, a slow clock and a stop clock) of CPU will be realized by the following procedures. That is, the effective task which should be performed in the queue (queue) of (1) scheduler (a scheduler is one of the modules within OS) exists, and generating of the situation where there is nothing (that is, task origination is not waited for and spread) detects that CPU is an idle state.

(2) Answering detection of the idle state of CPU, an APM driver is APM. BIOS is called. At this time, an APM driver may perform communication called the inquiry/acknowledge of a purport which carries out power management actuation between the applications corresponding to APM.

(3) Called APM BIOS performs actual hardware actuation and makes a system change in the power management condition. (For example, the intermittent control action (throttling) of STPCLK# is carried out, and it is made slow clock status, or the input clock to CPU chip 11 is intercepted, and it is made stop clock

status.)

[0022] Since OS can detect beforehand the information "it will be in a waiting state of operation after this" with the scheduler which self has, the technique using APM says that power management actuation can be performed efficiently.

[0023] However, OS can control only the inside of a self-system. For example, OS cannot try to look into the operating state of the device (other PCs) by which it connected physically through the communication link port (a serial port and parallel port) etc., and the others under communication became independent. That is, although OS can manage the task of transmitting data from a self-system, it cannot detect the event in which other independent devices start data transmission. Since data transfer is comparatively performed at a high speed, if CPU is not operating at full swing, it will take and spill transfer data. For example, if CPU is slow clock status when data transmission is started from other devices, delay will be produced in the reception of data and data will be lost. Moreover, if CPU is stop clock status when data transmission is started from other devices, even if it is going to answer data reception and is going to return CPU to the normal mode, time amount will be taken for actuation to be stable (above-mentioned), and received data in the meantime will be lost. If it

summarizes, by having ventured power management actuation freely just because the queue within OS was empty, it will result in losing the data under communication, as a result spoiling the integrity of a system remarkably, taking only the inside of a self-system into consideration.

[0024] Almost all PCs by which current marketing is carried out attach greater importance than to the power-saving effectiveness to the integrity of a system, and the period which is performing data transfer between the devices (for example, other PCs) by which others became independent is designed so that the performance fall of CPU may completely be forbidden. Or during starting of communication link application, it is designed so that performance of CPU may not be reduced (even if communication link application receives a power management demand from an APM driver, it is not acknowledged, consequently APM BIOS is not called). For this reason, even if the CPU chip itself was equipped with the highly efficient power management function (for example, refer to drawing 8) with much trouble, as for the ability of a system to utilize this function, only the time of CPU lapsing into a waiting state of operation completely (namely, comparatively long time amount) had become the actual condition. The period which has CPU in a waiting state of operation completely

cannot but be a period when it was restricted [time / (for example, JP,06-266462,A) / the time (for example, the 4th paragraph of JP,06-95303,B) that there was beyond no predetermined time / key input / (1) /, / of (2) DMA transfers / (because, CPU abandons the control of a self local bus at the time of a DMA transfer)] very much at most. Considering CPU as a slow clock or power management effectiveness expectable even if it carries out a stop clock, it is unsatisfactory only during such a limited period. I want to increase further ***** and the period which can reduce the performance of CPU. For example, even if it is while performing data transfer which minded the communication link port between the devices by which others became independent, you reduce the performance of CPU suitably and the power management effectiveness wants to improve.

[0025] The purpose of this invention is by falling or stopping suitably the clock frequency of the processor (CPU) which bears the nucleus of data processing to offer the information processing system which was excellent in the type which has the power management function to reduce power consumption.

[0026] The further purpose of this invention is about the clock frequency of CPU to offer a fall or the outstanding information processing system which can carry

out a drop dead halt, filling a demand of both sides called the integrity of the power management effectiveness and a system.

[0027] The further purpose of this invention is about the clock frequency of CPU to suitable timing by grasping the operating state of CPU more exactly to offer a fall or the outstanding information processing system which can carry out a drop dead halt.

[0028] Even if the further purpose of this invention is while performing data transfer between the devices (for example, other PCs) by which others became independent through the communication link port (a serial port or parallel port) (or under starting of communication link application), it is about the clock frequency of CPU to suitable timing to offer a fall or the outstanding information processing system which can carry out a drop dead halt.

[0029]

[Means for Solving the Problem]

This invention is made in consideration of the above-mentioned technical problem. The 1st side face : the 1st side face (a) CPU with each mode of operation of the normal mode, the power-saving mode with power consumption lower than the normal mode, and the stop mode that stopped actuation

completely, (b) The bus for communicating between one or more peripheral devices, and the (c) above CPU and said peripheral device, (d) others -- with the communication link port for connecting with the independent device physically and performing data transfer (e) The bus cycle detection means for carrying out the monitor of the bus cycle on said bus, (f) It answers having detected the bus cycle for accessing said communication link port. The condition judging means for determining the mode of operation of said CPU, and (g) A signal generation means to send a control signal for said condition judging means to make said CPU the power-saving mode according to having determined the purport which is the power-saving mode to said CPU, (h) It is the information processing system characterized by including the CPU actuation means for stopping for stopping actuation of said CPU completely according to having determined the purport said whose condition judging means is stop mode.

[0030] In the information processing system concerning the 1st side face, a bus cycle detection means, a condition judging means, and a signal generation means are realized by 1 chip LSI called the below-mentioned power management (PM_LSI) LSI 50. The control signal which a signal generation means emits may be inputted into control pin "STPCLK#" which a CPU chip has.

Moreover, a CPU actuation means for stopping may be the hardware (for example, the below-mentioned clock control circuit 60) which can intercept the input clock to CPU. Moreover, the "slow clock" with which the power-saving mode of CPU comes to carry out the intermittent drive of STPCLK#, and stop mode may be the "stop clocks" to which the drop dead halt of the clock of operation was carried out.

[0031] Said communication link ports are things, such as a serial port and a parallel port.

[0032] Said condition judging means is the port address (for example, any one or the plurality of 3F8h street (COM1), 2F8h street (COM2), three E8h street (COM3), and the two E8h street (COM4) is assigned to the dataport of serial transmission.) assigned to the dataport of said serial transmission or parallel transmission under the normal mode. Moreover, any one or the plurality of 3BCh addresses (LPT1), 378h street (LPT2), and the 278h street (LPT3) is assigned to the dataport of parallel transmission. The bus cycle to access answers having not generated beyond the 1st predetermined time, and you may make it determine the purport which is the power-saving mode.

[0033] Moreover, said condition judging means answers that the bus cycle for

performing a setup or discharge of said serial transmission or parallel transmission of a control value did not occur beyond the 2nd predetermined time under the power-saving mode, and you may make it determine the purport which is stop mode. The control and the status register for serial transmission I/O Port 3F9h street thru/or 3FFh addresses (COM1), 2F9h street thru/or 2FFh addresses (COM2), three E9h street, or 3EFh addresses (COM3), It is assigned to either 2F9h street thru/or 2EFh addresses (COM4). The control and the status register for parallel transmission Moreover, 3BDh addresses thru/or 3BFh addresses (LPT1), Since it is assigned to either 379h street thru/or 37Fh addresses (LPT2), 279h street or 27Fh addresses (LPT3), said bus cycle detection means should just detect the access cycle to each [these] address.

[0034] moreover, the port address (for example, 3F8h street (COM1) --) where said condition judging means was assigned to the dataport of said serial transmission or parallel transmission under the power-saving mode 2F8h street (COM2), three E8h street (COM3), or two E8h street (COM4) Or it answers that the bus cycle which accesses 3BCh addresses (LPT1), 378h street (LPT2), or 278h street (LPT3) occurred, and you may make it determine the purport which is the normal mode.

[0035] Moreover, said condition judging means answers that the bus cycle for performing a setup or discharge of said serial transmission or parallel transmission of a control value occurred under stop mode, and you may make it determine the purport which is the power-saving mode. The control and the status register for serial transmission I/O Port 3F9h street thru/or 3FFh addresses (COM1), 2F9h street thru/or 2FFh addresses (COM2), three E9h street, or 3EFh addresses (COM3), It is assigned to either 2F9h street thru/or 2EFh addresses (COM4). The control and the status register for parallel transmission Moreover, 3BDh addresses thru/or 3BFh addresses (LPT1), Since it is assigned to either 379h street thru/or 37Fh addresses (LPT2), 279h street or 27Fh addresses (LPT3), said bus cycle detection means should just detect the access cycle to each [these] address.

[0036] The 2nd side face: The 2nd side face of this invention is (a) again. CPU with each mode of operation of the normal mode, the power-saving mode with power consumption lower than the normal mode, and the stop mode that stopped actuation completely, (b) One or more peripheral devices and (c) The bus for communicating between said CPUs and said peripheral devices, (d) others -- with the communication link port for connecting with the independent

device physically and performing data transfer (e) The CPU monitor means for carrying out the monitor of the operating state of said CPU, (f) The bus cycle detection means for carrying out the monitor of the bus cycle on said bus, (g) It answers having detected the bus cycle for accessing said communication link port. The condition judging means for determining whether it is possible to carry out mode transition of said CPU to any of the power-saving mode or stop mode, (h) The signal generation means for sending the control signal for making said CPU into the power-saving mode to said CPU, (i) The CPU actuation means for stopping for making said CPU into stop mode, (j) It is the information processing system characterized by including the power-saving control means to which activation of either said signal generation means or said CPU actuation means for stopping is carried out according to the both sides of the monitor result by said CPU monitor means, and the judgment result by said condition judging means.

[0037] In the information processing system concerning the 2nd side face, a bus cycle detection means, a condition judging means, and a signal generation means are realized by 1 chip LSI called the below-mentioned power management (PM_LSI) LSI 50. The control signal which a signal generation

means emits may be inputted into control pin "STPCLK#" which a CPU chip has. Moreover, a CPU actuation means for stopping may be the hardware (for example, the below-mentioned clock control circuit 60) which can intercept the input clock to CPU. Moreover, the "slow clock" with which the power-saving mode of CPU comes to carry out the intermittent drive of STPCLK#, and stop mode may be the "stop clocks" to which the drop dead halt of the clock of operation was carried out.

[0038] The operation of said CPU monitor means is realizable with the software-based technique for example, an APM driver refers to the queue of a scheduler.

[0039] the operation of said power-saving control means carries out activation of either a signal generation means or a CPU actuation means for stopping suitably with reference to the judgment result by the condition judging means, when it detects that an APM driver is in a condition (namely, empty) without the effective task in the queue of a scheduler -- making (APM BIOS specifically being called) -- it is realizable with the software-based technique to say.

[0040] Said communication link ports are things, such as a serial port and a parallel port.

[0041] the port address (for example, 3F8h street (COM1) --) where said condition judging means was assigned to the dataport of said serial transmission or parallel transmission under the normal mode 2F8h street (COM2), three E8h street (COM3), or two E8h street (COM4) Or the bus cycle which accesses 3BCh addresses (LPT1), 378h street (LPT2), or 278h street (LPT3) answers having not generated beyond the 1st predetermined time, and you may make it determine the purport in which the transition to the power-saving mode is possible. [0042] Moreover, said condition judging means answers that the bus cycle for performing a setup or discharge of said serial transmission or parallel transmission of a control value did not occur beyond the 2nd predetermined time under the power-saving mode, and you may make it determine the purport in which the transition to stop mode is possible. The control and the status register for serial transmission I/O Port 3F9h street thru/or 3FFh addresses (COM1), 2F9h street thru/or 2FFh addresses (COM2), three E9h street, or 3EFh addresses (COM3), It is assigned to either 2F9h street thru/or 2EFh addresses (COM4). The control and the status register for parallel transmission Moreover, 3BDh addresses thru/or 3BFh addresses (LPT1), Since it is assigned to either 379h street thru/or 37Fh addresses (LPT2), 279h street or 27Fh addresses

(LPT3), said bus cycle detection means should just detect the access cycle to each [these] address.

[0043] moreover, the port address (for example, 3F8h street (COM1) --) where said condition judging means was assigned to the dataport of said serial transmission or parallel transmission under the power-saving mode 2F8h street (COM2), three E8h street (COM3), or two E8h street (COM4) Or it answers that the bus cycle which accesses 3BCh addresses (LPT1), 378h street (LPT2), or 278h street (LPT3) occurred, and you may make it determine the purport which should forbid the power-saving mode and should return to the normal mode.

[0044] Moreover, you may make it said condition judging means determine the purport which should answer that the bus cycle for performing a setup or discharge of said serial transmission or parallel transmission of a control value occurred, should forbid stop mode, and should return to the power-saving mode under stop mode. The control and the status register for serial transmission I/O Port 3F9h street thru/or 3FFh addresses (COM1), 2F9h street thru/or 2FFh addresses (COM2), three E9h street, or 3EFh addresses (COM3), It is assigned to either 2F9h street thru/or 2EFh addresses (COM4). The control and the status register for parallel transmission Moreover, 3BDh addresses thru/or 3BFh

addresses (LPT1), Since it is assigned to either 379h street thru/or 37Fh addresses (LPT2), 279h street or 27Fh addresses (LPT3), said bus cycle detection means should just detect the access cycle to each [these] address.

[0045] Moreover, the period when said condition judging means has permitted the transition to the power-saving mode answers that said CPU monitor means detected the idle state of said CPU, and said power-saving control means may be made to carry out activation of said signal generation means.

[0046] Moreover, the period when said condition judging means has permitted the transition to stop mode answers that said CPU monitor means detected the idle state of said CPU, and said power-saving control means may be made to carry out activation of said CPU actuation means for stopping.

[0047] Moreover, as for the period when said condition judging means has forbidden the transition to the power-saving mode, said CPU monitor means may detect the idle state of said CPU, or said power-saving control means may not be made to carry out activation of said signal generation means.

[0048] Moreover, as for the period when said condition judging means has forbidden the transition to stop mode, said CPU monitor means may detect the idle state of said CPU, or said power-saving control means may not be made to

carry out activation of said CPU actuation means for stopping.

[0049]

[Function] The data transfer with other devices performed through a communication link port (for example, a serial port and a parallel port) general -- the control value for 1: data transfer (for example, a baud rate and IRQ level --) The "initialization phase" which sets up FIFO etc. beforehand or checks the condition of a communication link port, 2: It consists of three phases the "post process phase" which cancels a control value (for example, IRQ level) after the "data transfer phase" 3: data transfer which actually communicates data, or checks the condition of a communication link port. In order to process without delay the data outputted and inputted comparatively at high speed, it is necessary to make CPU operate at full swing in a data transfer phase. On the other hand, it is possible for the activity of CPU to drop the performance on each phase of initialization before and after data transfer and a post process to some extent low (for the latency time to data transfer initiation to especially be included in the initialization phase).

[0050] According to the 1st side face of this invention, it answers that access to the dataport for data transfer did not occur beyond the 1st predetermined time

under the normal mode, and CPU is made to change to the power-saving mode. Moreover, according to the 2nd side face, it permits that answer that access to the dataport for data transfer did not occur beyond the 1st predetermined time under the normal mode, and CPU changes to the power-saving mode. If it is detected during this period permitted that CPU is an idle state (a queue is the state of the sky), it will be scheduled for a power-saving control means to carry out activation of the signal generation means, and to say that CPU changes to the power-saving mode promptly. That access to the dataport for data transfer does not occur beyond the 1st predetermined time does not perform data transfer between the devices by which current others became independent, but it means that it is not necessary to make CPU operate at full swing. According to each side face of this invention, the performance of CPU is reduced suitably and the power management effectiveness is referred to as being able to improve. Incidentally he is IBM. In a PC / AT compatible machine ("PC/AT" is the trademark of U.S. IBM) As for the dataport for serial transmission, I/O Port 3F8h street (or 2F8h street, three E8h street, or two E8h street) is assigned. Moreover, since, as for the dataport for parallel transmission, an I/O Port 3BCh address, 378h street, or 278h street is assigned, a bus cycle detection means should just

detect the access cycle to this address.

[0051] Moreover, according to the 1st side face of this invention, it sets under the power-saving mode, and the bus cycle for setting up or canceling the control value of data transfer answers having not generated beyond the 2nd predetermined time, and makes CPU change to stop mode. Moreover, according to the 2nd side face, it permits that set under the power-saving mode, answer that the bus cycle for setting up or canceling the control value of data transfer did not occur beyond the 2nd predetermined time, and CPU changes to stop mode. If it is detected during this period permitted that CPU is an idle state (a queue is the state of the sky), it will be scheduled for a power-saving control means to carry out activation of the CPU actuation means for stopping, and to say that CPU changes to stop mode promptly. That the bus cycle for setting up or canceling the control value of data transfer does not occur beyond the 2nd predetermined time means that even pretreatment for performing data transfer between the devices by which current others became independent is not performed at all, or the after treatment is completed completely. Therefore, data transfer starts this period suddenly and there is no fear of having to start CPU in an instant. According to each side face of this invention, the drop dead halt of the

clock of CPU of operation is carried out suitably, and the power management effectiveness is referred to as being able to improve. Incidentally he is IBM. In a PC / AT compatible machine, either I/O Port 3F9h street thru/or 3FF addresses, 2F9h street or 2FFh addresses, three E9h street or 3EFh addresses, 2F9h street or 2EFh addresses are assigned as the control value for serial transmission, or a storing location of a condition. Moreover, since either an I/O Port 3BDh address thru/or 3BFh addresses, 379h street or 37Fh addresses, 279h street or 27Fh addresses are assigned as the control value for parallel transmission, or a storing location of a condition A bus cycle detection means should just detect the access cycle to this address.

[0052] Moreover, according to the 1st side face of this invention, it answers that access to the dataport for data transfer occurred under the power-saving mode, and CPU is returned to the normal mode. Moreover, according to the 2nd side face, it is forbidden that it should answer that access to the dataport for data transfer occurred, and CPU should be under the power-saving mode at the power-saving mode. In connection with this, it is scheduled for a power-saving control means to deactivate a signal generation means, and to say that CPU returns to the normal mode promptly. That access to the dataport for data

transfer occurred starts data transfer between the devices by which others became independent, and it means that CPU needed to be made to operate at full swing. While data transfer is started, CPU is returned to the normal mode and made to operate at full swing according to each side face of this invention. Incidentally he is IBM. In a PC / AT compatible machine, since, as for the dataport for serial transmission, I/O Port 3F8h street (or 2F8h street, three E8h street, or two E8h street) is assigned and, as for the dataport for parallel transmission, the I/O Port 3BCh address (or 378h street or 278h street) is assigned, a bus cycle detection means should just detect the access cycle to this address.

[0053] Moreover, according to the 1st side face of this invention, it sets under stop mode, answers that the bus cycle for setting up or canceling the control value of data transfer occurred, and CPU is made to change to the power-saving mode. Moreover, according to the 2nd side face, it is forbidden that it should set under stop mode, should answer that the bus cycle for setting up or canceling the control value of data transfer occurred, and CPU should be in stop mode. In connection with this, it is scheduled for a power-saving control means to deactivate a CPU actuation means for stopping, and to say that CPU returns to

the power-saving mode promptly. It rushes in that the bus cycle for setting up or canceling the control value of data transfer occurred at an initialization phase, and it means that initiation of data transfer is expected. Although CPU must operate at full swing under the normal mode at the time of data transfer, we are anxious about losing data, by the time it returns from stop mode to the normal mode and will require and stabilize a time delay. It will return to the power-saving mode beforehand, and each side face of this invention will say that it enables it to return to the normal mode in an instant, if initiation of data transfer is expected under the stop mode of CPU. Incidentally he is IBM. In a PC / AT compatible machine, either I/O Port 3F9h street thru/or 3FF addresses, 2F9h street or 2FFh addresses, three E9h street or 3EFh addresses, 2F9h street or 2EFh addresses are assigned as the control value for serial transmission, or a storing location of a condition. Moreover, since either an I/O Port 3BDh address thru/or 3BFh addresses, 379h street or 37Fh addresses, 279h street or 27Fh addresses are assigned as the control value for parallel transmission, or a storing location of a condition A bus cycle detection means should just detect the access cycle to this address.

[0054] In short, this invention is made paying attention to the point that the

performance fall of CPU is possible, in the point of surely passing through an initialization phase before (1) full operation rushes into a required data transfer phase, and (2) initialization phase and a post process phase. That is, if it is detected that they are an initialization phase and a post process phase, it will permit dropping the performance of CPU to some extent. Moreover, he returns CPU under halt to the power-saving mode, and is trying to make it stand by in the condition which can return to the normal mode in an instant in the period when the thing rushed into a data transfer phase -- access to the control register for a transfer is performed -- is expected. It can be said that this invention is attaining low-power-ization of CPU per bus cycle.

[0055] Therefore, according to this invention, even if it is while performing data transfer between the devices (for example, other PCs) by which others became independent (or under starting of communication link application), the outstanding information processing system which can drop the performance of CPU on suitable timing and can raise the power management effectiveness can be offered.

[0056] The purpose, the description, and advantage of further others of this invention will become [rather than] clear by detailed explanation based on the

example and the drawing to attach of this invention mentioned later.

[0057]

[Embodiment of the Invention] Hereafter, the example of this invention is explained in detail, referring to a drawing.

[0058] A. a personal computer -- (-- PC --) -- 100 -- a hardware configuration -- drawing 1 -- **** -- this invention -- operation -- offering -- having -- a personal computer -- (-- PC --) -- 100 -- a hardware configuration -- being shown -- **** .

Hereafter, each part is explained.

[0059] CPU11 which is the Main controller performs various programs under control of an operating system (OS). The processor bus 12 extended from CPU11 is connected with each peripheral device (after-mentioned) through the bus of two hierarchies called a local bus 16 and a system bus 22. Here, CPU11 is the thing and abbreviation same configuration which were shown in drawing 8 , for example, is good at "Pentium / 1xxMHz" which U.S. Intel markets. Moreover, each buses 12, 16, and 22 are the common signal-line ways containing a data bus, an address bus, a control bus, etc., respectively. A local bus 16 is a bus by which it operates at a high speed comparatively in order to connect specific peripheral devices, such as graphics. An example of a local bus 16 is a PCI

(peripheral Component Interconnect) bus which U.S. Intel advocates. Moreover, a system bus 22 is a bus for connecting comparatively low speed peripheral devices, such as FDD, and the example is an ISA (Industry Standard Architecture) bus.

[0060] The processor bus 12 and the local bus 16 are connected by the bridge circuit (host-PCI bridge) 14. The bridge circuit 14 of this example has composition containing the data buffer for absorbing the memory controller for controlling the access actuation to main memory 15, and the speed difference between both the buses 12 and 16. Main memory 15 is memory (RAM) in which writing to load each programs (OS, application program, etc.) which CPU11 performs, or for CPU11 use as a working area is possible. A comparatively cheap and available dynamic RAM (DRAM) is used for main memory 15 in large capacity, for example, a system 100 is equipped standardly with the capacity which is about 8MB. Moreover, the block shown with a reference number 13 is an external cache (it is also called a "Level 2(L2)-cache"), and it is established in order to absorb the difference of the processing speed of CPU11, and the access rate to main memory 15. The L2-cache 13 consists of static RAMs (SRAM) in which rapid access is more possible than DRAM, and the capacity is

about 256KB.

[0061] A peripheral device like the video controller 17 with which comparatively high-speed actuation is demanded is connected to a local bus 16. The video controller 17 reads drawing information from VRAM18, and outputs it to the liquid crystal display display (LCD) 19 as a display means while it once writes the drawing information which is a circumference controller for actually processing and processed the drawing instruction from CPU11 in the screen buffer (VRAM) 18.

[0062] The local bus 16 and the system bus 22 are connected by the bridge circuit (PCI-ISA bridge) 20. The bridge circuit 20 of this example has composition containing a DMA controller, an interruption controller, and a programmable interval timer (PIT). Here, a DMA (Direct Memory Access) controller is a circumference controller for making data transfer perform without mediation of CPU11 between main memory 15 and a peripheral device (for example, FDD27: after-mentioned). Moreover, the hardware interrupt (IRQ) from each peripheral device is arbitrated, and it notifies an interruption controller to CPU11. Moreover, PIT is a device for supplying some kinds of timer signals to each part in a system 100. The timer signal which PIT emits is a signal for tone generation for the timer

signal for DRAM refresh and the audio purpose that a low / high level switches at intervals of periodic interruption given to OS/BIOS (after-mentioned) for example, at intervals of 55msec, and 15.2microsec etc.

[0063] A bridge circuit 20 is an interface (for example, IDE interface.) for connecting the hard disk drive (HDD) 21 as an auxiliary storage unit further. IDE (Integrated Drive Electronics.) Originally IDE includes the interface specification for linking HDD with an ISA Bus directly.

[0064] In addition, it is decided upon two bridge circuits 14 and 20 mentioned above by PCI, and, generally they are offered with the gestalt of a single chip set. An example of a chip set is "Triton" which U.S. Intel markets.

[0065] Peripheral devices which operate comparatively at a low speed, such as I/O controller 23, a floppy disk controller (FDC) 26, the keyboard / mouse controller 28 (KMC), the audio controller 31, ROM34, and a power management LSI 50, are connected to the system bus 22.

[0066] I/O controller 23 is a circumference controller for controlling the data I/O performed through communication link ports, such as a serial port 24 and a parallel port 25. Communication link ports, such as 24 and 25, are equipped with the connector for connecting with the device (for example, other PCs) by which

others became independent physically. I/O controller 23 is physically equipped with the data register, and the control/status register for serial transmission and each parallel transmission. The I/O Port address of a proper is assigned to these registers, respectively. In addition, an example of the specification of a serial port is RS-232C, and an example of the specification of a rose rel port is Centronics.

[0067] FDC26 is an exclusive controller for carrying out drive control of the floppy disk drive (FDD) 27.

[0068] KMC28 is a controller for processing the input matrix from a keyboard 29, and the directions coordinate value by the mouse 30, changes the input signal from 29 or 30 into the format corresponding to the definition of OS, and sends it out on a bus 22.

[0069] The audio controller 31 is a circumference controller for processing I/O of a sound signal. One function of the audio controller 31 is generating a tone signal based on the specific signalling frequency which PIT's generated. The output signal of the audio controller 31 is amplified with amplifier 32, and a voice output is carried out from a loudspeaker 33.

[0070] ROM34 is the nonvolatile memory with which will write in at the time of manufacture and data will be decided to be, and since a predetermined code is

stored everlastingly, it is used. The test program (POST) performed at the time of starting of a system 100 and the program (BIOS) for operating I/O of each hardware in a system 100 are included in the code which ROM stores.

[0071] An oscillator (OSC) 40 is a device for supplying a clock of operation to the chip of synchronous drive molds, such as CPU11. In addition, a clock signal is inputted into CPU11 through the clock control circuit 60 (after-mentioned).

[0072] A power management (PM_LSI) LSI 50 is the dedication LSI established in order to realize power management actuation of CPU11 suitably. The monitor (it is also called a "bus snoop") of the activity on a local bus 16 is carried out, and, more specifically, control signal STPCLK# (above-mentioned) is outputted to CPU11 to predetermined timing. PM_LSI50 can be manufactured by semi custom-made design like a gate array. In realizing this invention, this LSI chip 50 plays a central role, but it mentions the detailed configuration and detailed operating characteristic later by C term and D term.

[0073] The clock control circuit 60 is a circuit for intercepting suitably the input clock supplied to CPU11 from OSC40. CPU11 can make a fall or completeness suspend actuation of the functional unit in a chip 11 partially by inputting control signal STPCLK#, as the term of [Description of the Prior Art] described. On the

other hand, the clock control circuit 60 is for intercepting the input clock to PLL circuit 11a itself, and stopping CPU11 completely. The clock control circuit 60 of this example is APM. Activation is carried out by BIOS.

[0074] In addition, almost all PCs by which current marketing is carried out are equipped with the hardware configuration element equivalent to the block shown in a reference number 11 thru/or 40. Moreover, in order to constitute PC, many electrical circuits etc. are required also besides having been shown in drawing 1 , but these are common knowledge, and since this contractor does not have relation, they are abbreviated to the summary of this invention in this specification to him.

[0075] B. The configuration of software WEA which can be performed on PC100 with which operation of this invention is presented is roughly shown in software configuration drawing 2 of PC100.

[0076] The software of the BIOS layer lowest layer is BIOS (Basic Input/Output System: basic input/output system). BIOS is the program group which collected the basic actuation instructions for controlling each hardware in a system 100 (the video controller 17, a keyboard 29, HDD21, FDC26, etc.), and performs actual hardware actuation in response to the call from the program (an operating

system and application: after-mentioned) of a high order. In addition, BIOS also contains the bootstrap routine performed when a system 100 starts, and the routine for processing interruption generated on bus 16 / 22. In addition, APM for actually carrying out hardware actuation of the CPU11 chip in the power management function concerning this invention BIOS (above-mentioned) also exists in this layer.

[0077] OS (operating system) layer: OS is basic software for managing the hardware and software of a system 100 synthetically. For example, OS/2 ("OS/2" is the trademark of U.S. IBM) and Windows ("Windows" is the trademark of U.S. Microsoft) correspond to this. OS contains the "memory manager" etc. for managing the "scheduler" for managing the sequence and priority of the "file manager" for managing the file stored in stores, such as HDD21, and task activation of CPU11, and allocation of a memory area. Moreover, the "user interface" (system call and system command) for processings, such as a window display and mouse actuation, is included. Furthermore, please grasp the "device driver" of the type later added among the software for hardware actuation as it being a part of OS. An example of a device driver is a display driver for driving indicating equipments, such as LCD19. Moreover, APM The APM driver

(above-mentioned) which calls BIOS also exists in this layer.

[0078] AP (application program) layer: The top layer is AP. Each program, such as a word processor, a database, a spreadsheet, and a communication link, corresponds to AP. Each AP is suitably loaded to main memory 15 from auxiliary storage units, such as HDD21 and FDD27, according to a user's intention. In addition, in case AP corresponding to APM (above-mentioned) performs power management actuation by KO which registers self into an APM driver, it can perform the routine of a demand/acknowledge between APM drivers.

[0079] In addition, the hierarchical structure of each software as shown in drawing 2 itself is already common knowledge at this contractor.

[0080] C. The internal configuration of a power management (PM_LSI) LSI 50 is shown in the block diagram 3 of a power management LSI. This LSI chip 50 is mounted in the system 100, in order to realize suitably power management actuation of CPU concerning this example.

[0081] As shown in drawing 3, PM_LSI50 outputs control signal STPCLK# (one [STPCLK# / :] above-mentioned of the control signal in the processor bus 12) to CPU11 while carrying out the monitor of the address bus in a local bus 16, a data bus, and the control bus, including bus cycle detecting-element 50a,

condition judging section 50b, and signal generator 50c.

[0082] C-1. Bus cycle detecting-element 50a : bus cycle detecting-element 50a carries out the monitor (bus snoop) of the bus cycle on a local bus, and if what (that is, the specific TORAKUZA cushion was generated) access to the specific I/O Port address was is detected, it will notify that to consecutive condition judging section 50b.

[0083] When a local bus 16 is a PCI bus and each transaction of a lead or ** Wright is performed between the initiator (namely, command transmitting side) and the target (namely, command receiving side), on a bus 16, the lead cycle or the Wright cycle shown by the timing chart as shown in each of drawing 4 and drawing 5 occurs. Hereafter, each bus cycle is explained briefly.

[0084] As shown in Lead Cycle:(1) drawing 4 , the period of the PCI clock cycle of the beginning of a lead cycle has the address/data bus in an address phase, and an initiator is continuing sending out the I/O Port address used as an access place. Moreover, C/BE# (3:0) is in a command phase, and an initiator is continuing sending out value "0010" b, in order to show that it is a lead cycle. moreover, an initiator -- initiation of a bus cycle -- it should show clearly -- FRAME# -- being active (namely, low state) -- it is carrying out.

(2) the following PCI clock cycle -- an initiator -- FRAME# -- being inactive (namely, high state) -- return. moreover -- if, as for an initiator, self will be in a ready (Ready) condition -- IRDY# -- being active (namely, low state) -- it carries out.

(3) Subsequently, the address/data bus enters at a data indefinite phase. Moreover, C/BE# (3:0) enters at a cutting tool enabling phase, and an initiator continues sending out the cutting tool enabling value which shows the reading byte position in an I/O register. In addition, a cutting tool enabling value is decided with the I/O Port address used as an access place. The table (an example) having shown the relation between the I/O Port address and a cutting tool enabling value is shown in Table 1.

[0085]

[Table 1]

[0086] (4) if a target sees the sent-out I/O Port address and he recognizes that it is an access place -- DEVSEL# -- being active (namely, low state) -- answer by carrying out.

(5) subsequently -- if, as for a target, self will be in a ready (Ready) condition -- TRDY# -- being active (namely, low state) -- carry out. At this time, the address/data bus is already contained at the data phase, and a target begins to send out the data of the predetermined I/O Port address on the address/data bus.

(6) after that, IRDY#, and TRDY# -- being inactive (namely, high state) -- a bus cycle is completed by returning. In addition, between this lead cycle, it is set to CPU11 (specifically BIOS), and the bridge circuit 14 which instead publishes a command serves as an "initiator", and I/O controller 23 physically equipped with the data register, and the control/status register for serial transmission and each parallel transmission serves as a "target."

[0087] As shown in Wright Cycle:(1) drawing 5 , the period of the PCI clock cycle of the beginning of the Wright cycle has the address/data bus in an address phase, and an initiator is continuing sending out the I/O Port address used as an

access place. Moreover, C/BE# (3:0) is in a command phase, and an initiator is continuing sending out value "0011" b, in order to show that it is the Wright cycle. moreover, an initiator -- initiation of a bus cycle -- it should show clearly -- FRAME# -- being active (namely, low state) -- it is carrying out.

(2) the following PCI clock cycle -- an initiator -- FRAME# -- being inactive (namely, high state) -- return. moreover -- if, as for an initiator, self will be in a ready (Ready) condition -- IRDY# -- being active (namely, low state) -- it carries out.

(3) Subsequently, the address/data bus enters at a data phase, and an initiator continues sending out the data of the specified I/O Port address. Moreover, C/BE# (3:0) enters at a cutting tool enabling phase, and an initiator continues sending out the cutting tool enabling value which shows the write-in byte position in an I/O register. In addition, a cutting tool enabling value is decided with the I/O Port address used as an access place, and is the same contents as the upper table 1.

(4) if a target sees the sent-out I/O Port address and he recognizes that it is an access place -- DEVSEL# -- being active (namely, low state) -- answer by carrying out.

(5) subsequently -- if, as for a target, self will be in a ready (Ready) condition -- TRDY# -- being active (namely, low state) -- carry out. Moreover, a target receives the data sent out on the address/data bus, and writes them in the predetermined I/O Port address.

(6) after that, IRDY#, and TRDY# -- being inactive (namely, high state) -- a bus cycle is completed by returning. In addition, between this Wright cycle, it is set to CPU11 (specifically BIOS), and the bridge circuit 14 which instead publishes a command serves as an "initiator", and I/O controller 23 physically equipped with the data register, and the control/status register for serial transmission and each parallel transmission serves as a "target."

[0088] As shown in drawing 4 and drawing 5 , when a local bus 16 is a PCI bus, a bus cycle is specified by actuation of C/BE(enable [a command / / bus]) # of 0 - a triplet, FRAME#, IRDY(initiator ready) #, TRDY(target ready) #, and DEVSEL(device selection) # among all address / data buses of 32-bit width of face, and a control bus. Therefore, it is said that bus cycle detecting-element 50a can detect the access cycle to the desired I/O Port address if the snoup only of each [these] signal line is carried out. (However, the address bus and the data bus are multiplexed by the specification of a PCI bus.)

[0089] An example of the specific I/O Port address said by this example is the I/O Port assigned to each of the dataport of 1:serial transmission, the control register of 2:serial transmission, and a status register. IBM In the PC / AT compatible machine, 3F8h street (or 2F8h street, three E8h street, or two E8h street) is assigned to the dataport of serial transmission, and 3F9h street - 3FFh address (either [or] 2F9h street thru/or 2FFh addresses, three E9h street or 3EFh addresses, 2F9h street or 2EFh addresses) is assigned to its control/status register, respectively. Moreover, other examples are the I/O Ports assigned to each of the dataport of 1:parallel transmission, the control register of 2:parallel transmission, and a status register. IBM In the PC / AT compatible machine, 3BCh addresses (or 378h street or 278h street) are assigned to the dataport of parallel transmission, and 3BD addresses thru/or 3BFh addresses (either [or] 379h street thru/or 37Fh addresses, 279h street or 27Fh addresses) are assigned to control/status register, respectively. When performing data transfer through communication link ports, such as a serial port 24 and a parallel port 25, (or while having started the application for a communication link), access (the both sides of a lead and Wright are included) to the dataport, or control/status register occurs (above-mentioned). About the meaning which

should detect the bus cycle to which bus cycle detecting-element 50a accesses the I/O Port of these specification, and its effectiveness, it will become clear by the below-mentioned explanation.

[0090] In addition, if it is this contractor in bus cycle detecting-element 50a for detecting the access cycle to such a specific I/O Port for it to be able to mount as hardware circuitry, he will be able to understand easily.

[0091] C-2. Condition judging section 50b : as mentioned above, condition judging section 50b judges whether it is possible to reduce performance current [CPU / 11] to what extent according to the contents of a notice from bus cycle detecting-element 50a (namely, minimum performance with which CPU11 may be permitted).

[0092] Transition conditions: The event which should make the condition of CPU11 change is as follows.

[0093] 1: One of the events which affect the activity of the access CPU 11 to the dataport of a communication link port is an access cycle to the dataport of a communication link port. More specifically, they are the event (transition event Tr1) in which this access cycle did not occur beyond predetermined time (T1), and the event (transition event Tr3) in which this access cycle occurred.

Communication link ports here are a serial port 24 and a parallel port 25. IBM In the PC / AT compatible machine, the 3F8h street (or 2F8h street, three E8h street, or two E8h street) of an I/O Port and 3BCh addresses (or 378h street or 278h street) are assigned to the dataport of each ports 24 and 25. Access to a dataport is frequently generated during the data transfer through a communication link port (above-mentioned).

[0094] 2: The event which affects the activity of access and CPU11 to control / condition, and the port of a communication link port is an access cycle to control/status register of a communication link port. More specifically, they are the event (transition event Tr2) in which this access cycle did not occur beyond predetermined time (T2), and the event (transition event Tr4) in which this access cycle occurred. Communication link ports here are a serial port 24 and a parallel port 25. IBM In a PC / AT compatible machine, the 3F9h street of an I/O Port thru/or 3FFh addresses (either [or] 2F9h street thru/or 2FFh addresses, three E9h street or 3EFh addresses, 2F9h street or 2EFh addresses) are assigned to control/status register of a serial port 24. ThreeBDh addresses thru/or 3BFh addresses (either [or] 379h street thru/or 37Fh addresses, 279h street or 27Fh addresses) of an I/O Port is assigned to control/status register of

a parallel port 25. Access to control/status register is generated between the post processes after [before performing data transfer through a communication link port (at namely, the time of starting of communication link application)] data transfer (above-mentioned).

[0095] The operating characteristic of condition judging section 50b: Condition judging section 50b judges the minimum performance with which CPU11 may be permitted by having detected each above-mentioned transition conditions Tr1-Tr4. Here, the transition conditions Tr3 and Tr4 are detectable with the notice from bus cycle detecting-element 50a (above-mentioned). moreover -- the transition conditions Tr1 and Tr2 -- bus cycle detecting-element 50a -- Tr3 or Tr4 -- it is detectable by clocking the elapsed time after receiving each notice using the watch-off timer ability (not shown) which self has. in addition, a time check -- according to for example, this invention persons' rule of thumb, time amount is considered for T1=1sec and T2=5sec extent to be appropriate.

[0096] The gestalt of a state transition diagram shows the contents of a judgment by condition judging section 50b to drawing 6 . Hereafter, the conditions which change each condition and a condition are explained.

[0097] Condition 0: In a condition 0, it is in the condition of making CPU11

operating at full swing under a high-speed clock rate, and if the phrase of the term of a [claim] is followed, correspond to the "normal mode." If the transition conditions Tr1 are detected in a condition 0, it will change in the condition 1. Moreover, in a condition 0, even if other bus cycles are notified from bus cycle detecting-element 50a, a return is only changed into a condition 0.

[0098] condition 1: -- it is in the condition [a condition 1] which can carry out the until fall of the performance of CPU11 to some extent. With the condition of having reduced performance to some extent, if the phrase of the term of a [claim] is followed, it corresponds to the "power-saving mode." The power-saving mode may be the slow clock mode of CPU11. In addition, extent in which a performance fall is possible is extent which degrades neither the turnaround time nor a throughput. If the transition conditions Tr1 are detected in a condition 0, it will change in the condition 1 (****). The activity concerning [that the access cycle to the dataport of a communication link port did not occur more than predetermined time T1 (=1sec) and / a system 100] not during a data transfer period but the communication link ports 24 and 25 means that it is only the following in the case of an initialization phase or a post process phase. In this case, since it is possible to reduce the performance of CPU11 to extent which

initialization or a post process takes, it is said that it makes a condition 1 change. Moreover, if the transition conditions Tr3 are detected in a condition 1, it will return to a condition 0. That the access cycle to the dataport of a communication link port occurred means that a system 100 is in a data transfer phase. Since CPU11 must be made to operate at full swing in order to process transfer data without delay during a data transfer period, it is said that it makes it return to a condition 0 that a performance fall should be forbidden. Moreover, if the transition conditions Tr2 are detected in a condition 1, it will change in the condition 2 further. Moreover, in a condition 1, even if other bus cycles are notified from bus cycle detecting-element 50a, a return is only changed into a condition 1.

[0099] Condition 2: It is in the condition [a condition 2] which can stop actuation of CPU11 completely. With the drop dead halt condition of CPU11, if the phrase of the term of a [claim] is followed, it corresponds to "stop mode." Stop mode may be the stop clock mode which was made to carry out activation of the clock control circuit 60, and intercepted the input clock to CPU11. If the transition conditions Tr2 are detected in a condition 1, it will change in the condition 2 further (****). It means that that the access cycle to control/status register of a

communication link port did not occur more than predetermined time T2 (=5sec) does not have the activity about the communication link ports 24 and 25 (because, a setup and discharge, or a condition lead of a control value are not made). Moreover, after carrying out the drop dead halt of CPU11, a time delay (1msec extent) is required for returning to the normal mode, but since it passes an initialization phase (condition 1), unless it comes out, it does not go into a data transfer phase (condition 0). Then, it is said that it is possible to stop actuation of CPU11 completely if the transition conditions Tr2 are fulfilled. Moreover, if the transition conditions Tr4 are detected in a condition 2, it will return to a condition 1. That the access cycle to control/status register of a communication link port occurred again means that the system 100 entered at the initialization phase for data transfer. Then, it is said that it makes it return to a condition 1 in order to re-work CPU11 to the performance of extent required for initial setting. Moreover, in a condition 2, even if other bus cycles are notified from bus cycle detecting-element 50a, a return is only changed into a condition 2.

[0100] About the meaning to which condition judging section 50b should answer access, and should perform a condition judging like drawing 6 to the I/O Port of these specification, and its effectiveness, it will become clear by the

below-mentioned explanation.

[0101] In addition, if it is this contractor for it to be able to mount as hardware circuitry in condition judging section 50b driven based on a state transition diagram as shown in drawing 6 , he will be able to understand easily.

[0102] C-3. signal generator 50c:signal generator 50c -- predetermined spacing -- a low/[of STPCLK#] yes - level -- throttling ***** -- it is for thinning out the clock of CPU11 of operation and realizing slow clock mode by things.

[0103] Extent which thins out the clock of CPU11 of operation is extent which initial setting and the post process of the communication link ports 24 and 25 can be performed [extent] convenient, and degrades neither the turnaround time nor a throughput. For example, if it is CPU driven in 133MHz, a quadrant or the clock of 1/8 of operation can be thinned out. This is equal to the ability to reduce the power consumption of CPU in slow clock mode to 1/about 1/4 or 8 of the normal mode.

[0104] An APM driver is APM when the idle state of CPU11 detects. BIOS is called (above-mentioned). APM of this example BIOS has come to be able to carry out hardware actuation of the signal generator 50c. Namely, APM If BIOS has condition judging section 50b in a condition 1 when self is called, it will carry

out activation of the signal generator 50c, and will make CPU11 slow clock mode.

It is because the performance fall of CPU11 is convenient if this period is seen from a viewpoint of the activity of the communication link ports 24 and 25.

[0105] D. Even the power management operation preceding clause of CPU chip 11 has explained the hardware and the software configuration of computer system which embody this invention. In this paragraph, an operation of this invention will be explained with actuation of this system 100, referring to drawing 7.

[0106] Each phase of a communication-link application starting period: It subdivides in drawing 7 (a) further, and the condition of the system 100 under communication link application starting is shown in it. As shown in this drawing, a communication link application starting period can be divided into each phase of an initialization phase, a data transfer phase, and a post process phase.

[0107] In an initialization phase, control values, such as a baud rate, IRQ level, and FIFO, are written in the communication link port 24 or the control register of 25, or a status register is accessed and transactions, such as the communication link port 24 or a condition check of 25, are performed. For this reason, it is the I/O Port (if it is serial transmission, it is either 3F9h street - 3FFh address, 2F9h

street or 2FFh addresses, three E9h street or 3EFh addresses, 2F9h street or 2EFh addresses) currently assigned to control/status register during this phase period. if it is parallel transmission, it is either 3BDh addresses thru/or 3BFh addresses, 379h street or 37Fh addresses, 279h street or 27Fh addresses. Access occurs comparatively frequently. Moreover, the latency time until data transfer is actually started is also included at an initialization phase.

[0108] In a data transfer phase, I/O of transfer data is actually performed and, for this reason, access to the communication link port 24 or the dataport (if it is serial transmission, it is 3F8h street, 2F8h street, three E8h street, or two E8h street, and if it is parallel transmission, it is 3BCh addresses, 378h street, or 278h street.) of 25 occurs frequently during this phase period.

[0109] In a post process phase, transactions, such as discharge of the IRQ level set up at the time of initialization, and the communication link port 24 or a condition check of 25, are performed. For this reason, it is the I/O Port (if it is serial transmission, it is either 3F9h street - 3FFh address, 2F9h street or 2FFh addresses, three E9h street or 3EFh addresses, 2F9h street or 2EFh addresses) currently assigned to control/status register during this phase period. if it is parallel transmission, it is either 3BDh addresses thru/or 3BFh addresses, 379h

street or 37Fh addresses, 279h street or 27Fh addresses. Access occurs comparatively frequently.

[0110] In addition, according to this invention persons' rule of thumb, it is shown that there is that no access to (1) communication-link port 24 or the dataport of 25 did not occur [of 100 system] more than predetermined time T1 (=1sec) in a data transfer phase.

(2) It is shown that the system 100 has finished the post process or it is not yet contained that access to the communication link port 24, or control/status register of 25 did not occur more than predetermined time T2 (=5sec) at an initialization phase.

(3) Don't rush into a data transfer phase suddenly, without passing through an initialization phase. It turns out that it says.

[0111] The condition of CPU11 in each phase: The judgment result (condition) of condition judging section 50b in each phase is shown in drawing 7 (b).

[0112] In the condition that there is no access in the communication link port 24 or any I/O Port relevant to 25, carrying out the drop dead halt of CPU11 is allowed from a viewpoint of the communication link port 24 or the activity of 25. For this reason, condition judging section 50b is in a condition 2 so that it may

specify the purport to which the stop clock of CPU11 is permitted.

[0113] Subsequently, if it rushes in at an initialization phase, the access cycle (namely, transition conditions Tr4) to the communication link port 24, or control/status register of 25 will occur. In order to perform a setup and condition check of a control value convenient during this period, CPU11 must work with the performance more than slow clock mode at least. For this reason, condition judging section 50b changes in the condition 1 so that it may specify forbidding a stop clock although the slow clock of CPU11 is permitted. An initialization phase is also the period when inrush to a data transfer phase is expected.

[0114] Subsequently, if it rushes into a data transfer phase, the access cycle (namely, transition conditions Tr3) to the communication link port 24 or the dataport of 25 will occur. in order to process without delay the data comparatively transmitted to a high speed during this period, without losing namely,, CPU11 must operate at full swing under the normal mode. For this reason, condition judging section 50b changes in the condition 0 so that it may specify forbidding the performance fall of CPU11. If it is in a condition 1, i.e., slow clock mode, CPU11 can return almost without a time delay to the normal mode.

[0115] Subsequently, if it rushes in at a post process phase, when the access cycle to the communication link port 24 or the dataport of 25 did not occur one or more [predetermined time T], the transition conditions Tr1 will occur. During this period, discharge and a condition check of IRQ level are only performed, and CPU11 does not need to operate at full swing and is good in slow clock mode. For this reason, condition judging section 50b changes again in the condition 1 so that it may specify permitting the slow clock of CPU11.

[0116] Subsequently, if it escapes from a post process phase, when the access cycle to the communication link port 24, or control/status register of 25 did not occur two or more [predetermined time T], the transition conditions Tr2 will occur. During this period, carrying out the drop dead halt of CPU11 is allowed from a viewpoint of the communication link port 24 or the activity of 25. For this reason, condition judging section 50b changes again in the condition 2 so that it may specify the purport to which the stop clock of CPU11 is permitted.

[0117] Activity of CPU11: To drawing 7 (c), the activity of CPU11 after [expedient] explaining is illustrated. In addition, the activity of CPU11 is made when an APM driver detects whether an effective task exists in the queue of a scheduler (above-mentioned). This drawing shows that the CPU idles I1, I2, I3,

I4, and I5 were detected, respectively during each period after an initialization phase, a data transfer phase, a post process phase, and communication link application termination before communication link application starting. Moreover, the power management operation of CPU performed when the activity of CPU is detected in this case is shown in drawing 7 (d).

[0118] When the CPU idle I1 is detected, condition judging section 50b is in a condition 2, and the drop dead halt of CPU11 is permitted. Therefore, the APM driver which detected I1 is APM. BIOS can be called. And APM BIOS makes CPU11 stop clock mode by carrying out activation of the clock control circuit 60.

[0119] Moreover, when the CPU idle I2 is detected, condition judging section 50b is in a condition 1, and the performance fall is permitted although the drop dead halt of CPU11 is prohibition. Therefore, the APM driver which detected I2 is APM. BIOS can be called. And APM BIOS makes CPU11 slow clock mode by carrying out activation of the signal generator 50b while deactivating the clock control circuit 60. Although a system is already starting communication link application at this time, please care about the point that CPU11 can be used as a slow clock according to this invention.

[0120] Moreover, when the CPU idle I3 is detected, condition judging section

50b is in a condition 2, and even the performance fall of CPU11 is forbidden.

Therefore, the APM driver which detected I3 is APM. BIOS cannot be called but CPU11 maintains the normal mode.

[0121] Moreover, when the CPU idle I4 is detected, condition judging section 50b is in a condition 1, and the performance fall is permitted although the drop dead halt of CPU11 is prohibition. Therefore, the APM driver which detected I4 is APM. BIOS can be called. And APM BIOS makes CPU11 slow clock mode by carrying out activation of the signal generator 50b. Although a system is still starting communication link application at this time, please care about the point that CPU11 can be used as a slow clock according to this invention.

[0122] When the CPU idle I5 is detected, condition judging section 50b is in a condition 2, and the drop dead halt of CPU11 is permitted. Therefore, the APM driver which detected I5 is APM. BIOS can be called. And APM BIOS makes CPU11 stop clock mode by carrying out activation of the clock control circuit 60.

[0123] E. It has explained in detail about this invention, referring to a specific example more than addenda. However, it is obvious that this contractor can accomplish correction and substitution of this example in the range which does not deviate from the summary of this invention. For example, this invention is

applicable also to various electrical and electric equipment, such as various coat loess devices, such as a facsimile device, a mobile radio terminal and a cordless telephone machine, an electronic notebook, and a video camera, and a word processor. Moreover, in this example, although reference is made about the power management of CPU at the time of serial transmission and parallel transmission, also when the communication link with other devices is based on gestalten other than these, this invention can be applied (for example, when radio like an infrared (IR) communication link is being performed).

[0124] In short, with the gestalt of instantiation, this invention has been indicated and it should not be interpreted restrictively. In order to judge the summary of this invention, the column of the claim indicated at the beginning should be taken into consideration.

[0125] in addition, the contents of reservation of the I/O Port address or IRQ level described by this detail letter -- IBM It is based on the criterion of the compatible machine of PC/AT series.

[0126]

[Effect of the Invention] As a full account was given above, according to this invention, the information processing system which was excellent in the type

which has the power management function to reduce power consumption for the clock frequency of the processor (CPU) which bears the nucleus of data processing a fall or by carrying out a drop dead halt can be offered.

[0127] Moreover, according to this invention, a fall or the outstanding information processing system which can carry out a drop dead halt can be offered for the clock frequency of CPU, filling a demand of both sides called the integrity of the power management effectiveness and a system.

[0128] Moreover, according to this invention, a fall or the outstanding information processing system which can carry out a drop dead halt can be offered for the clock frequency of CPU to suitable timing by grasping the operating status of CPU more exactly.

[0129] Moreover, while performing data transfer between the devices (other PCs) by which others became independent through the communication link port (a serial port and parallel port) according to this invention (or communication link application under starting), a fall or the outstanding information processing system which can carry out a drop dead halt can be offered for the clock frequency of CPU to suitable timing.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 is drawing having shown the hardware configuration of the personal computer (PC) 100 with which operation of this invention is presented.

[Drawing 2] Drawing 2 is drawing having shown roughly the hierarchical configuration of the software which can be performed on PC100 with which operation of this invention is presented.

[Drawing 3] Drawing 3 is drawing having shown the internal configuration of the power management LSI with which operation of this invention is presented.

[Drawing 4] Drawing 4 is drawing having shown the timing chart of the lead cycle generated on a PCI bus.

[Drawing 5] Drawing 5 is drawing having shown the timing chart of the light cycle generated on a PCI bus.

[Drawing 6] Drawing 6 is a state transition diagram expressing the operating characteristic of condition judging section 50b.

[Drawing 7] Drawing 7 is drawing having shown the appearance of the system 100 when performing other devices and data transfer through a communication link port. Drawing in which drawing 7 (a) more specifically shows each phase under communication link application starting, Drawing showing the judgment result (condition) of condition judging section 50b [in / in drawing 7 (b) / each phase], Drawing where drawing 7 (c) illustrated the activity (existence of the effective task in a queue) of CPU, and drawing 7 (d) are drawings showing the

performance (mode of operation) of CPU actually performed under the activity of CPU shown in drawing 7 (c).

[Drawing 8] Drawing 8 is drawing having shown roughly the internal configuration of CPU chip 11 which contained the power management function.

[Description of Notations]

11 [-- Bridge circuit,] -- CPU, 12 -- A processor bus, 13 -- L2 cache, 14 15 -- Main memory, 16 -- A local bus, 17 -- Video controller, 18 -- VRAM, 19 -- A liquid crystal display display (LCD), 20 -- Bridge circuit, 21 -- A hard disk drive (HDD), 22 -- System bus, 23 -- An I/O controller, 24 -- A serial port, 25 -- Parallel port, 26 -- A floppy disk controller (FDC), 27 -- Floppy disk drive (FDD), 28 -- A keyboard / mouse controller (KMC), 29 -- Keyboard, 30 [-- A loudspeaker, 34 / -- ROM, 40 / -- An oscillator (OSC) 50 / -- A power management LSI (PM_LSI), 100 / -- Personal computer (PC).] -- A mouse, 31 -- An audio controller, 32 -- Amplifier,

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-128106

(43)公開日 平成9年(1997)5月16日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 1/32			G 0 6 F 1/00	3 3 2 Z
1/04	3 0 1		1/04	3 0 1 C

審査請求 未請求 請求項の数22 O L (全 22 頁)

(21)出願番号 特願平7-278904

(22)出願日 平成7年(1995)10月26日

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72)発明者 松 島 慎 治

神奈川県大和市下鶴間1623番地14 日本アイ・ピー・エム株式会社 大和事業所内

(74)代理人 弁理士 合田 潔 (外2名)

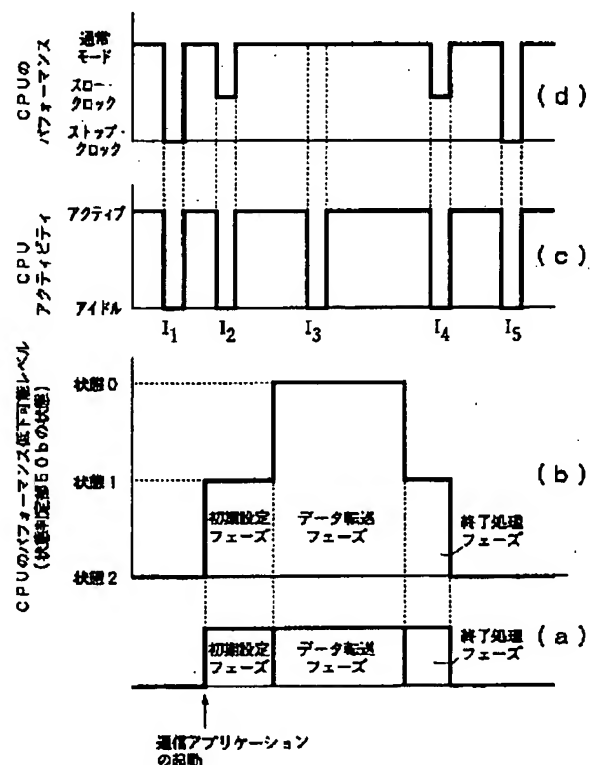
最終頁に続く

(54)【発明の名称】 情報処理システム

(57)【要約】 (修正有)

【課題】 通信ポートを介して他の独立した機器との間でデータ転送を行っている間であっても、適切なタイミングでCPUの動作周波数を低下又は完全停止させることができる、情報処理システムを提供する。

【解決手段】 (a) 通常モード、節電モード、停止モードの各動作モードを持つCPUと、(b) 1以上の周辺機器と、(c) CPUと周辺機器との間で通信するためのバスと、(d) 他の機器と接続し且つデータ転送を行うための通信ポートと、(e) バス・サイクルをモニタするためのバス・サイクル検出手段と、(f) バス・サイクルを検出したことに応答して、CPUの動作モードを決定するための状態判定手段と、(g)前記手段が節電モードである旨を決定したことに応じてCPUを節電モードにするための制御信号を送る信号発生手段と、(h) 状態判定手段が停止モードである旨を決定したことに応じてCPUの動作を停止させるためのCPU動作停止手段と、を含むことを特徴とする。



【特許請求の範囲】

【請求項1】(a) 通常モード、通常モードよりも消費電力が低い節電モード、動作を完全に停止させた停止モードの各動作モードを持つCPUと、(b) 1以上の周辺機器と、(c) 前記CPUと前記周辺機器との間で通信するためのバスと、(d) 他の独立した機器と物理的に接続し且つデータ転送を行うための通信ポートと、(e) 前記バス上のバス・サイクルをモニタするためのバス・サイクル検出手段と、(f) 前記通信ポートにアクセスするためのバス・サイクルを検出したことに応答して、前記CPUの動作モードを決定するための状態判定手段と、(g) 前記状態判定手段が節電モードである旨を決定したことに応じて前記CPUを節電モードにするための制御信号を前記CPUに送る信号発生手段と、(h) 前記状態判定手段が停止モードである旨を決定したことに応じて前記CPUの動作を完全に停止させるためのCPU動作停止手段と、を含むことを特徴とする情報処理システム

【請求項2】前記状態判定手段は、通常モード下で、前記通信ポートのためのデータ・ポートにアクセスするバス・サイクルが第1の所定時間以上発生しなかったことに応答して、節電モードである旨を決定することを特徴とする請求項1に記載の情報処理システム

【請求項3】前記状態判定手段は、節電モード下で、前記通信ポートを介したデータ転送のための制御値の設定又は解除を行うバス・サイクルが第2の所定時間以上発生しなかったことに応答して、停止モードである旨を決定することを特徴とする請求項1に記載の情報処理システム

【請求項4】前記状態判定手段は、節電モード下で、前記通信ポートのためのデータ・ポートにアクセスするバス・サイクルが発生したことに応答して、通常モードである旨を決定することを特徴とする請求項1に記載の情報処理システム

【請求項5】前記状態判定手段は、停止モード下で、前記通信ポートを介したデータ転送のための制御値の設定又は解除を行うバス・サイクルが発生したことに応答して、節電モードである旨を決定することを特徴とする請求項1に記載の情報処理システム

【請求項6】(a) 通常モード、通常モードよりも消費電力が低い節電モード、動作を完全に停止させた停止モードの各動作モードを持つCPUと、(b) 1以上の周辺機器と、(c) 前記CPUと前記周辺機器との間で通信するためのバスと、(d) 他の独立した機器と物理的に接続し且つデータ転送を行うための通信ポートと、(e) 前記CPUの動作状態をモニタするためのCPUモニタ手段と、(f) 前記バス上のバス・サイクルをモニタするためのバス・サイクル検出手段と、(g) 前記通信ポートにアクセスするためのバス・サイクルを検出したことに応答して、前記CPUを節電モード又は停止モードのいずれまでモード遷移させることが可能かを決定するための状

態判定手段と、(h) 前記CPUを節電モードにするための制御信号を前記CPUに送るための信号発生手段と、(i) 前記CPUを停止モードにするためのCPU動作停止手段と、(j) 前記CPUモニタ手段によるモニタ結果及び前記状態判定手段による判定結果の双方に応じて、前記信号発生手段又は前記CPU動作停止手段のいずれかを活動化させる節電制御手段と、を含むことを特徴とする情報処理システム

【請求項7】前記状態判定手段は、通常モード下で、前記通信ポートのためのデータ・ポートにアクセスするバス・サイクルが第1の所定時間以上発生しなかったことに応答して、節電モードへの遷移が可能である旨を決定することを特徴とする請求項6に記載の情報処理システム

【請求項8】前記状態判定手段は、節電モード下で、前記通信ポートを介したデータ転送のための制御値の設定又は解除を行うバス・サイクルが第2の所定時間以上発生しなかったことに応答して、停止モードへの遷移が可能である旨を決定することを特徴とする請求項6に記載の情報処理システム

【請求項9】前記状態判定手段は、節電モード下で、前記通信ポートのためのデータ・ポートにアクセスするバス・サイクルが発生したことに応答して、節電モードを禁止して通常モードに戻るべき旨を決定することを特徴とする請求項6に記載の情報処理システム

【請求項10】前記状態判定手段は、停止モード下で、前記通信ポートを介したデータ転送のための制御値の設定又は解除を行うバス・サイクルが発生したことに応答して、停止モードを禁止して節電モードに戻るべき旨を決定することを特徴とする請求項6に記載の情報処理システム

【請求項11】前記状態判定手段が節電モードへの遷移を許可している期間に、前記CPUモニタ手段が前記CPUがアイドル状態であることを検出したことに応答して、前記節電制御手段は前記信号発生手段を活動化させることを特徴とする請求項6又は請求項7に記載の情報処理システム

【請求項12】前記状態判定手段が停止モードへの遷移を許可している期間に、前記CPUモニタ手段が前記CPUがアイドル状態であることを検出したことに応答して、前記節電制御手段は前記CPU動作停止手段を活動化させることを特徴とする請求項6又は請求項8に記載の情報処理システム

【請求項13】前記状態判定手段が節電モードへの遷移を禁止している期間は、前記CPUモニタ手段が前記CPUがアイドル状態であることを検出しても、前記節電制御手段は前記信号発生手段を活動化させないことを特徴とする請求項6又は請求項9に記載の情報処理システム

【請求項14】前記状態判定手段が停止モードへの遷移

を禁止している期間は、前記CPUモニタ手段が前記CPUがアイドル状態であることを検出しても、前記節電制御手段は前記前記CPU動作停止手段を活性化させないことを特徴とする請求項6又は請求項10に記載の情報処理システム

【請求項15】前記通信ポートはシリアル・ポートであり、前記バス・サイクル検出手段はシリアル転送用のデータ・ポートとしてI/Oポート3F8h番地(COM1)、2F8h番地(COM2)、3E8h番地(COM3)、2E8h番地(COM4)のいずれかにアクセスするバス・サイクルを検出することを特徴とする請求項2又は請求項4のいずれかに記載の情報処理システム

【請求項16】前記通信ポートはパラレル・ポートであり、前記バス・サイクル検出手段はパラレル転送用のデータ・ポートとしてI/Oポート3BCh番地(LPT1)、378h番地(LPT2)、278h番地(LPT3)のいずれかにアクセスするバス・サイクルを検出することを特徴とする請求項2又は請求項4のいずれかに記載の情報処理システム

【請求項17】前記通信ポートはシリアル・ポートであり、前記バス・サイクル検出手段はシリアル転送のための制御値の設定又は解除を行うバス・サイクルとしてI/Oポート3F9h番地乃至3FFh番地(COM1)、2F9h番地乃至2FFh番地(COM2)、3E9h番地乃至3EFh番地(COM3)、2F9h番地乃至2EFh番地(COM4)のいずれかへのアクセス・サイクルを検出することを特徴とする請求項3又は請求項5のいずれかに記載の情報処理システム

【請求項18】前記通信ポートはパラレル・ポートであり、前記バス・サイクル検出手段はパラレル転送のための制御値の設定又は解除を行うバス・サイクルとしてI/Oポート3BDh番地乃至3BFh番地(LPT1)、379h番地乃至37Fh番地(LPT2)、279h番地乃至27Fh番地(LPT3)のいずれかへのアクセス・サイクルを検出することを特徴とする請求項3又は請求項5のいずれかに記載の情報処理システム

【請求項19】前記通信ポートはシリアル・ポートであり、前記バス・サイクル検出手段はシリアル転送用のデータ・ポートとしてI/Oポート3F8h番地(COM1)、2F8h番地(COM2)、3E8h番地(COM3)、2E8h番地(COM4)のいずれかにアクセスするバス・サイクルを検出することを特徴とする請求項7又は請求項9のいずれかに記載の情報処理システム

【請求項20】前記通信ポートはパラレル・ポートであり、前記バス・サイクル検出手段はパラレル転送用のデータ・ポートとしてI/Oポート3BCh番地(LPT1)、378h番地(LPT2)、278h番地(LPT3)のいずれかにアクセスするバス・サイクルを検出することを特徴とする請求項7又は請求項9のいずれかに記載の情報処理システム

【請求項21】前記通信ポートはシリアル・ポートであり、前記バス・サイクル検出手段はシリアル転送のための制御値の設定又は解除を行うバス・サイクルとしてI/Oポート3F9h番地乃至3FFh番地(COM1)、2F9h番地乃至2FFh番地(COM2)、3E9h番地乃至3EFh番地(COM3)、2F9h番地乃至2EFh番地(COM4)のいずれかへのアクセス・サイクルを検出することを特徴とする請求項8又は請求項10のいずれかに記載の情報処理システム

【請求項22】前記通信ポートはパラレル・ポートであり、前記バス・サイクル検出手段はパラレル転送のための制御値の設定又は解除を行うバス・サイクルとしてI/Oポート3BDh番地乃至3BFh番地(LPT1)、379h番地乃至37Fh番地(LPT2)、279h番地乃至27Fh番地(LPT3)のいずれかへのアクセス・サイクルを検出することを特徴とする請求項8又は請求項10のいずれかに記載の情報処理システム

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、パーソナル・コンピュータ(PC)を始めとする情報処理システムに係り、特に、システム内におけるデータ処理の中核を担うプロセッサ(いわゆるCPU:Central Processing Unit)の動作周波数を適宜低下若しくは停止させることによって省電力化する節電機能を有するタイプの情報処理システムに関する。更に詳しくは、本発明は、節電効果とシステムの保全という双方の要求を満たしつつ、他の独立した機器と通信している期間(又は通信アプリケーションの起動中)であつても、CPUの動作周波数を低下若しくは停止させて省電力化を図る情報処理システムに関する。

【0002】

【従来の技術】昨今の技術革新に伴い、デスクトップ型、ノートブック型など各種パーソナル・コンピュータ(以下、「PC」又は「システム」ともいう)が開発され市販されている。このうち、ノートブック型のコンピュータは、屋外での携帯的・可搬的な使用を考量して、小型且つ軽量に設計・製作されたものである。

【0003】パーソナル・コンピュータのパワー・マネージメント:ノートブック型PCの1つの特徴は、内蔵したバッテリーでも駆動できる「バッテリー駆動型」である点である。これは、商用電源が届かない場所での使用の便宜を図ったためである。ノートブックPCが内蔵するバッテリーは、一般には、Ni-Cd、NiMH、Li-Ionなどの充電式のバッテリー・セル(「2次電池」ともいう)を複数個接続してパッケージ化してなる「バッテリー・パック」の形態を採っている。このようなバッテリー・パックは、充電により再利用可能ではあるが、1回当たりの充電容量はシステムのオペレーション時間に換

算してせいぜい2～3時間程度に過ぎない。このため、バッテリーの持続時間を少しでも長くするべく、節電のための種々の工夫が凝らされている。節電機能を積極的に導入している点も、ノートブックPCの特徴の1つと言えよう。

【0004】また、最近では、商用電源によって無尽蔵に給電可能なデスクトップ型PCに対しても、エコロジ-的な観点から、省電力化の要求が高まってきている。米環境保護庁(EPA)は、1993年6月に、"Energy Star Computer Program"と呼ばれる自主規制を発表し、動作待ち状態での省電力が一定基準以下(駆動電力が30W以下、又はCPUフル稼働時の30%以下)になることを要求している。このため、各コンピュータ・メーカは、競ってこの規制案に沿った製品の研究・開発を進めるようになってきた。例えば日本アイ・ビー・エム(株)は、節電機能を備えたデスクトップ型PCを既に市販している(例えばPS/55E(通称"GreenPC")やPC 750、Aptiva("Aptiva"は米IBM社の商標)シリーズなど)。

【0005】PCの節電化は、例えばシステム内の各電気回路の駆動電力自体を低減させることによって実現される。また、動作状態(アクティビティ)の低下に応じてシステム内の各電気回路(若しくは周辺機器)への電力供給を適宜低下若しくは遮断する、ということによっても実現される。後者のような節電機能のことを、特に「パワー・マネージメント(Power Management)」と呼ぶこともある。

【0006】PCのパワー・マネージメントの形態としては、LCD(液晶表示ディスプレイ)及びそのバックライト、あるいはハード・ディスク・ドライブ(HDD)の回転モータなどのように、システムの総消費電力に大きなウェイトを占めるデバイス類への電力供給を遮断する、という「LCDオフ」や「HDDオフ」などが挙げられよう。また、他の例として、CPU(Central Processing Unit)の動作周波数を低下又は完全停止させる「CPUスロー・クロック/ストップ・クロック」や、タスク再開(レジューム)に必要なデータをメイン・メモリにセーブした後にメイン・メモリ以外の殆ど全ての電気回路への給電を停止する「サスペンド(Suspend)」などが挙げられよう。

【0007】CPUのパワー・マネージメント機能：CPUチップは、周知の通り、コンピュータ・システムにおける演算処理の中核をなすユニットである。最近では、配線幅の縮小化などの半導体製造技術の向上に伴って、CPUの動作周波数は益々高速化している。例えば、米Intel社が市販する"Pentium"や、米IBM社、米Motorola社、及び米Apple社が共同開発した"PowerPC"("PowerPC"は米IBM社の商標)のように、100MHzを越える動

作周波数で駆動可能なCPUチップも世に登場している。CPUの動作周波数とその性能とは密接な関係にある。何故ならば、CPUの動作が高速化すれば、それだけ計算速度がアップするからである。高速なCPUは、特に大規模アプリケーションやグラフィックス処理などにおいて、優れた威力を発揮する。

【0008】その反面、CPUの高速化は幾つかの弊害を伴う。弊害の1つは、CPUの消費電力の増大や発熱の問題である。何故ならば、単位時間当たりにトランジスタ・ゲート(すなわち抵抗体)を通過する電流量の増大に応じて、消費電力や発熱量も増加するからである。CPUの消費電力は、理論上は動作周波数に正比例すると言われており、現在、システムの総消費電力に占める割合は無視できない程度に達してきている。

【0009】前述の「CPUスロー・クロック/ストップ・クロック」などのCPUのパワー・マネージメント機能は、このような状況に着目して生み出されたと言える。「スロー・クロック」や「ストップ・クロック」は、CPUが動作待ち状態(すなわちアイドル状態。例えば、ユーザからのキー/マウス入力が所定時間以上なかった状態)であると判断されたとき、その動作周波数を低下又は完全停止させる(換言すれば、CPUのパフォーマンスを低下させる)ことによって消費電力を低減させる、というものである。但し、ターン・アラウンド・タイム(すなわち要求から肯定応答までの所要時間)やスルー・プット(単位時間当たりの仕事量)を劣化させない程度までしか、CPUのパフォーマンスを落とすことができないのは言うまでもないであろう。以下、CPUの「スロー・クロック」及び「ストップ・クロック」の各機能について説明しておく。

【0010】スロー・クロック：CPUのスロー・クロック機能は、発振器からの入力クロック信号の周波数を外部的に切り換えてやることによって実現可能である。あるいは、CPUチップへの入力クロックの周波数を一定に保ったまま、CPUチップ内部で動作周波数を切り換えてやることによって実現可能である。高速CPUの場合、一般には、比較的低速なクロック信号(例えば66MHz)を入力しておき、内蔵したPLL(Phase Lock Loop)回路によって内部的に動作クロックを加速するようになっている(例えば2倍速の133MHz)。このようなタイプのCPUの場合、PLL回路の特性(例えば発振回路の固有振動数の問題や、位相ロックが機能するまでに要する遅延時間(数msec程度)の問題)などの理由により、CPUチップへの入力クロックの周波数そのものを大幅に切り換えることは難しい。このため、PLL回路だけでなく、内部的に動作クロックを切り換えることができるスロー・クロック機能(パワー・マネージメント機能)をも内蔵する、という設計手法も採られている。この場合、内蔵PLL回路によって入力クロックを一旦加速しておきながら、内蔵ス

ロー・クロック機能によってCPUのパフォーマンスをチップ内部で自律的に落とす、という仕組みになっている。

【0011】図8には、パワー・マネージメント機能を内蔵したCPUの内部構成を概略的に示している。同図において、CPUチップ11は、演算制御などの処理を実際に行う部分である機能ユニット11aと、機能ユニット11aに同期駆動のための動作クロック信号を与えるPLL回路11bと、機能ユニット11aのパフォーマンスを制御するためのパフォーマンス制御回路11c

とを含み、チップ11外部の各周辺機器（図8には示さない）とはプロセッサ・バス12を介して双方向に連絡している。

【0012】PLL回路は、既に周知のように、入力したクロック信号の周波数を逡倍する機能を持っている。この例のPLL回路11bは、発振器（OSC）40から入力した比較的低速なクロック信号（例えば66MHz）を倍速化（例えば133MHz）して、動作周波数として機能ユニット11aに供給している。

【0013】機能ユニット11aは、演算ユニット部分（図8中、二重斜線部分）と、内部キャッシュ／制御ユニット部分とに分けることができる。前者の演算ユニットは、システムのアクティビティに応じてそのパフォーマンスをある程度まで低下させてもよい部分でもある

（但し、パフォーマンス低下可能な程度は、例えば、ターン・アラウンド・タイムやスルー・プットを劣化させない程度である）。一方、内部キャッシュ／制御ユニットは、キャッシュ・スヌープ、割り込み要求（INTR／NMI／SMI）、バス12のホールド要求（HOLD）などの、定期的に発生するタイム・クリティカルな外部事象に应答しなければならない部分である。後者は、システムのアクティビティの如何に拘らず、安易にパフォーマンスを落とすことかできない部分でもある。

【0014】パフォーマンス制御回路11cは、外部から入力するコントロール信号STPCLK#に応じて機能ユニット11aのパフォーマンスを制御する回路である。より具体的には、回路11cはSTPCLK#がアクティブ（すなわちロー状態）になっている間、機能ユニット11c中の演算ユニット部分（前述：図8中の二重斜線部分）への動作周波数を遮断できるようになっている。すなわち、CPUチップ11は、局所的にパフォーマンスを低下することができる構造になっている訳である。また、この応用例として、パフォーマンス制御回路11cに入力するSTPCLK#を間欠的にアクティブ（すなわちロー状態）に切り換えることによって、PLL回路11bからの入力動作クロックを間引いてやる、という手法もある。例えばSTPCLK#を所定周期でアクティブ（すなわちロー状態）にして、n回に1回の割合で動作クロックを間引けば、演算ユニット部分のパフォーマンス及び消費電力を約 $(n-1)/n$ 倍に

低減させたことになる。STPCLK#を間欠動作させる機能は、一般には、「クロック・スロットリング」又は「Frequency Emulation」とも呼ばれている。

【0015】スロー・クロック・モード下では、発振器40からの入力クロックやPLL回路11bの動作自体は、通常の高速稼働時とは全く変動していない。したがって、スロー・クロック・モードから通常モードへは、比較的瞬時に復帰することが可能である。この点は、本発明の要旨（後述）を理解するために、充分留意されたい。

【0016】図に、米Intel社のCPUチップ“80486”の後継チップである、SLエンハンスト486、DX2、DX4、Pentiumなどは、図8に示すような節電機能を備えている。また、これらチップは、プロセッサ・バス12中のコントロール信号の1つとしてSTPCLK#を含んでいる。

【0017】ストップ・クロック：一方、ストップ・クロック機能は、発振器40からの入力クロックを完全に遮断して、機能ユニット11aの全ての動作を停止させるものである。動作クロックの完全停止は、CPUチップ11を記憶保持動作が不要なフル・スタティック構成に設計することによって実現可能である。ストップ・クロック・モード下では、CPUの消費電力は、せいぜい数百mW程度に過ぎない。

【0018】但し、ストップ・クロック・モードではPLL回路11bも完全に停止しているため、再び高速な通常モードに復帰させるためには、PLL回路11bの動作の安定（位相のロック）などのために、約1msec程度の遅延時間を要する。この点は、本発明の要旨（後述）を理解するために、充分留意されたい。

【0019】

【発明が解決しようとする課題】CPUのスロー・クロック／ストップ・クロックを始めとするパワー・マネージメント・オペレーションは、一般には、システムの使用状況を監視するCPUチップ外のハードウェアと、CPU自身が実行するソフトウェアとの協働的作用によって実現される。

【0020】パワー・マネージメントを実現するためのソフトウェアの代表例は、米Intel社と米Microsoft社が共同で提案した“APM”（Advanced Power management）である。APMは、APMに対応したOS（オペレーティング・システム）環境下で実効的となる。APMに対応したOS環境とは、すなわち、1：節電の制御対象であるハードウェアと、2：パワー・マネージメント動作に必要なハードウェア動作を現実に行うBIOS（“APM BIOS”ともいう）と、3：システムの動作状態（アクティビティ）の低下に応じてAPM BIOSをコールできるOSと、4：APMに対応したアプリケーションとで構成されるシステムのこと

である。ここで、1:ハードウェアとは、例えばスロー・クロック/ストップ・クロック機能を具備したCPUチップである。また、3:APM対応OSとは、例えばPC DOS J6.1/V以降のバージョン、OS/2 J2.1以降のバージョン("OS/2"は米IBM社の商標)、Windows J3.1以降のバージョンなどが挙げられる。APM対応OSは、一般には、APM BIOSをコールするための"APMドライバ"を含んでいる。また、4:APM対応アプリケーションとは、API(アプリケーション・プログラム・インターフェース)を介してAPMドライバに自分自身を登録することによって、パワー・マネージメント動作する旨の問合せを受け且つその可否を肯定応答できるアプリケーション・プログラムのことである。

【0021】APMなどのようにOS内に常駐するソフトウェアを用いれば、CPUのパワー・マネージメント(例えばスロー・クロックやストップ・クロック)は、以下のような手順で実現されることになる。すなわち、

(1)スケジューラ(スケジューラは、OS内のモジュールの1つ)の待ち行列(queue)中に実行すべき有効なタスクが存在しない(すなわちタスク発生を待つしかない)という事態の発生によって、CPUがアイドル状態であることを検出する。

(2)CPUのアイドル状態の検出にตอบสนองして、APMドライバはAPM BIOSをコールする。このとき、APMドライバは、APM対応アプリケーションとの間で、パワー・マネージメント動作する旨の問合せ/肯定応答という通信を行ってもよい。

(3)コールされたAPM BIOSは、現実のハードウェア操作を行って、システムをパワー・マネージメント状態に遷移させる。(例えば、STPCLK#を間欠動作(スロットリング)させてスロー・クロック状態にしたり、CPUチップ11への入力クロックを遮断してストップ・クロック状態にする。)

【0022】OSは自身の持つスケジューラによって「これから動作待ち状態になる」という情報を予め検知できるので、APMを用いた手法によれば効率的にパワー・マネージメント動作を実行することができる、という訳である。

【0023】しかしながら、OSは自システム内しか制御することができない。例えば通信ポート(シリアル・ポートやパラレル・ポート)などを介して物理的に接続され且つ通信中の他の独立した機器(他のPC)の動作状態をOSは覗き見ることはできない。すなわち、OSは、自システムからデータの送信を行うというタスクを管理することはできるが、独立した他の機器がデータ送信を開始するという事象を検出することはできないのである。データ転送は比較的高速に行われるので、CPUはフル稼働していなければ転送データを取りこぼしてしまう。例えば、他の機器からデータ送信を開始したとき

にCPUがスロー・クロック状態となっていれば、データの受信処理に遅滞を生じ、データを喪失してしまう。また、他の機器からデータ送信を開始したときにCPUがストップ・クロック状態であれば、データ受信にตอบสนองしてCPUを通常モードに復帰させようとしても、動作が安定化するまでに時間を要し(前述)、その間の受信データを喪失してしまう。略言すれば、自システム内のみを考慮に入れ、OS内の待ち行列が空だからといって勝手にパワー・マネージメント動作を敢行していたのでは、通信中のデータを失ってしまい、ひいてはシステムの保全性を著しく損なう結果になってしまうのである。

【0024】現在市販されている殆どのPCは、節電効果よりもシステムの保全性の方を重視して、他の独立した機器(例えば他のPC)との間でデータ転送を行っている期間は、CPUのパフォーマンス低下を全く禁止するように設計されている。あるいは、通信アプリケーションの起動中は、CPUのパフォーマンスを低下させないように設計されている(通信アプリケーションはAPMドライバからパワー・マネージメント要求を受けても肯定応答せず、この結果、APM BIOSはコールされない)。このため、CPUチップ自体は高機能なパワー・マネージメント機能(例えば図8参照)をせっかく備えていても、システムがこの機能を活用できるのは、CPUが完全に(すなわち比較的長い時間)動作待ち状態に陥ったときだけ、というのが実情となっていた。CPUが完全に動作待ち状態にある期間とは、せいぜい、

(1)キー入力が所定時間以上なかったとき(例えば特公平06-95303号公報の第4パラグラフ)や、

(2)DMA転送時(何故なら、DMA転送時はCPUは自己のローカル・バスの制御権を放棄する)(例えば特開平06-266462号公報)など、ごく限られた期間でしかない。このような限られた期間中にのみCPUをスロー・クロック又はストップ・クロックさせても、期待できるパワー・マネージメント効果としては物足りない。願わくば、CPUのパフォーマンスを低減できる期間を更に増やしたいところである。例えば、他の独立した機器との間で通信ポートを介したデータ転送を行っている間であっても、適宜CPUのパフォーマンスを低下させ、パワー・マネージメント効果を向上させたい。

【0025】本発明の目的は、データ処理の中核を担うプロセッサ(CPU)の動作周波数を適宜低下若しくは停止させることによって消費電力を低減させるパワー・マネージメント機能を有するタイプの、優れた情報処理システムを提供することにある。

【0026】本発明の更なる目的は、パワー・マネージメント効果とシステムの保全性という双方の要求を満たしつつ、CPUの動作周波数を低下又は完全停止させることができる、優れた情報処理システムを提供することにある。

【0027】本発明の更なる目的は、CPUの動作状態をよりの確に把握することによって、適切なタイミングでCPUの動作周波数を低下又は完全停止させることができる、優れた情報処理システムを提供することにある。

【0028】本発明の更なる目的は、通信ポート（シリアル・ポート又はパラレル・ポート）を介して他の独立した機器（例えば他のPC）との間でデータ転送を行っている間（あるいは通信アプリケーションの起動中）であつても、適切なタイミングでCPUの動作周波数を低下又は完全停止させることができる、優れた情報処理システムを提供することにある。

【0029】

【課題を解決するための手段】

第1の側面：本発明は、上記課題を参酌してなされたものであり、その第1の側面は、(a)通常モード、通常モードよりも消費電力が低い節電モード、動作を完全に停止させた停止モードの各動作モードを持つCPUと、(b)1以上の周辺機器と、(c)前記CPUと前記周辺機器との間で通信するためのバスと、(d)他の独立した機器と物理的に接続し且つデータ転送を行うための通信ポートと、(e)前記バス上のバス・サイクルをモニタするためのバス・サイクル検出手段と、(f)前記通信ポートにアクセスするためのバス・サイクルを検出したことに応答して、前記CPUの動作モードを決定するための状態判定手段と、(g)前記状態判定手段が節電モードである旨を決定したことに応じて前記CPUを節電モードにするための制御信号を前記CPUに送る信号発生手段と、(h)前記状態判定手段が停止モードである旨を決定したことに応じて前記CPUの動作を完全に停止させるためのCPU動作停止手段と、を含むことを特徴とする情報処理システムである。

【0030】第1の側面に係る情報処理システムにおいて、バス・サイクル検出手段、状態判定手段、及び信号発生手段は、例えば後述のパワー・マネジメントLSI (PM_LSI) 50という1チップLSIによって実現される。信号発生手段が発する制御信号は、例えばCPUチップの持つ制御ピン"STPCLK#"に入力されてもよい。また、CPU動作停止手段は、例えばCPUへの入力クロックを遮断できるハードウェア（例えば後述のクロック制御回路60）であってもよい。また、CPUの節電モードはSTPCLK#を間欠駆動させてなる「スロー・クロック」、停止モードは動作クロックを完全停止させた「ストップ・クロック」であってもよい。

【0031】前記通信ポートとは、例えばシリアル・ポートやパラレル・ポートなどのことである。

【0032】前記状態判定手段は、通常モード下で、前記シリアル転送又はパラレル転送のデータ・ポートに割当てられたポート・アドレス（例えばシリアル転送のデ

ータ・ポートには、3F8h番地 (COM1), 2F8h番地 (COM2), 3E8h番地 (COM3), 2E8h番地 (COM4) のうちのいずれか1つ又は複数が割当てられる。また、パラレル転送のデータ・ポートには3BCh番地 (LPT1), 378h番地 (LPT2), 278h番地 (LPT3) のうちのいずれか1つ又は複数が割当てられている。) にアクセスするバス・サイクルが第1の所定時間以上発生しなかったことに応答して、節電モードである旨を決定するようにしてもよい。

【0033】また、前記状態判定手段は、節電モード下で、前記シリアル転送又はパラレル転送の制御値の設定又は解除を行うためのバス・サイクルが第2の所定時間以上発生しなかったことに応答して、停止モードである旨を決定するようにしてもよい。シリアル転送のための制御・状態レジスタはI/Oポート3F9h番地乃至3FFh番地 (COM1), 2F9h番地乃至2FFh番地 (COM2), 3E9h番地乃至3EFh番地 (COM3), 2F9h番地乃至2EFh番地 (COM4) のいずれかに割当てられ、また、パラレル転送のための制御・状態レジスタは3BDh番地乃至3BFh番地 (LPT1), 379h番地乃至37Fh番地 (LPT2), 279h番地乃至27Fh番地 (LPT3) のいずれかに割当てられているので、前記バス・サイクル検出手段はこれら各番地へのアクセス・サイクルを検出すればよい。

【0034】また、前記状態判定手段は、節電モード下で、前記シリアル転送又はパラレル転送のデータ・ポートに割当てられたポート・アドレス（例えば3F8h番地 (COM1), 2F8h番地 (COM2), 3E8h番地 (COM3), 2E8h番地 (COM4) のいずれか、あるいは3BCh番地 (LPT1), 378h番地 (LPT2), 278h番地 (LPT3) のいずれか) にアクセスするバス・サイクルが発生したことに応答して、通常モードである旨を決定するようにしてもよい。

【0035】また、前記状態判定手段は、停止モード下で、前記シリアル転送又はパラレル転送の制御値の設定又は解除を行うためのバス・サイクルが発生したことに応答して、節電モードである旨を決定するようにしてもよい。シリアル転送のための制御・状態レジスタはI/Oポート3F9h番地乃至3FFh番地 (COM1), 2F9h番地乃至2FFh番地 (COM2), 3E9h番地乃至3EFh番地 (COM3), 2F9h番地乃至2EFh番地 (COM4) のいずれかに割当てられ、また、パラレル転送のための制御・状態レジスタは3BDh番地乃至3BFh番地 (LPT1), 379h番地乃至37Fh番地 (LPT2), 279h番地乃至27Fh番地 (LPT3) のいずれかに割当てられているので、前記バス・サイクル検出手段はこれら各番地へのアクセス・サイクルを検出すればよい。

10

20

30

40

50

【0036】第2の側面：また、本発明の第2の側面は、(a) 通常モード、通常モードよりも消費電力が低い節電モード、動作を完全に停止させた停止モードの各動作モードを持つCPUと、(b) 1以上の周辺機器と、(c) 前記CPUと前記周辺機器との間で通信するためのバスと、(d) 他の独立した機器と物理的に接続し且つデータ転送を行うための通信ポートと、(e) 前記CPUの動作状態をモニタするためのCPUモニタ手段と、(f) 前記バス上のバス・サイクルをモニタするためのバス・サイクル検出手段と、(g) 前記通信ポートにアクセスするためのバス・サイクルを検出したことに応答して、前記CPUを節電モード又は停止モードのいずれまでモード遷移させることが可能かを決定するための状態判定手段と、(h) 前記CPUを節電モードにするための制御信号を前記CPUに送るための信号発生手段と、(i) 前記CPUを停止モードにするためのCPU動作停止手段と、(j) 前記CPUモニタ手段によるモニタ結果及び前記状態判定手段による判定結果の双方に応じて、前記信号発生手段又は前記CPU動作停止手段のいずれかを活動化させる節電制御手段と、を含むことを特徴とする情報処理システムである。

【0037】第2の側面に係る情報処理システムにおいて、バス・サイクル検出手段、状態判定手段、及び信号発生手段は、例えば後述のパワー・マネージメントLSI (PM_LSI) 50という1チップLSIによって実現される。信号発生手段が発する制御信号は、例えばCPUチップの持つ制御ピン"STPCLK#"に入力されてもよい。また、CPU動作停止手段は、例えばCPUへの入力クロックを遮断できるハードウェア（例えば後述のクロック制御回路60）であってもよい。また、CPUの節電モードはSTPCLK#を間欠駆動させてなる「スロー・クロック」、停止モードは動作クロックを完全停止させた「ストップ・クロック」であってもよい。

【0038】前記CPUモニタ手段のオペレーションは、例えばAPMドライバがスケジューラの待ち行列を参照する、というソフトウェア的な手法によっても実現できよう。

【0039】前記節電制御手段のオペレーションは、APMドライバが、スケジューラの待ち行列中に有効なタスクがない（すなわち空の）状態であることを検出したときに、状態判定手段による判定結果を参照して、適宜信号発生手段又はCPU動作停止手段のいずれかを活動化させる（より具体的にはAPM BIOSをコールする）、というソフトウェア的な手法によっても実現できよう。

【0040】前記通信ポートとは、例えばシリアル・ポートやパラレル・ポートなどのことである。

【0041】前記状態判定手段は、通常モード下で、前記シリアル転送又はパラレル転送のデータ・ポートに割

当てられたポート・アドレス（例えば3F8h番地（COM1）、2F8h番地（COM2）、3E8h番地（COM3）、2E8h番地（COM4）のいずれか、あるいは3BCh番地（LPT1）、378h番地（LPT2）、278h番地（LPT3）のいずれか）にアクセスするバス・サイクルが第1の所定時間以上発生しなかったことに応答して、節電モードへの遷移が可能である旨を決定するようにしてもよい。

【0042】また、前記状態判定手段は、節電モード下で、前記シリアル転送又はパラレル転送の制御値の設定又は解除を行うためのバス・サイクルが第2の所定時間以上発生しなかったことに応答して、停止モードへの遷移が可能である旨を決定するようにしてもよい。シリアル転送のための制御・状態レジスタはI/Oポート3F9h番地乃至3FFh番地（COM1）、2F9h番地乃至2FFh番地（COM2）、3E9h番地乃至3EFh番地（COM3）、2F9h番地乃至2EFh番地（COM4）のいずれかに割当てられ、また、パラレル転送のための制御・状態レジスタは3BDh番地乃至3BFh番地（LPT1）、379h番地乃至37Fh番地（LPT2）、279h番地乃至27Fh番地（LPT3）のいずれかに割当てられているので、前記バス・サイクル検出手段はこれら各番地へのアクセス・サイクルを検出すればよい。

【0043】また、前記状態判定手段は、節電モード下で、前記シリアル転送又はパラレル転送のデータ・ポートに割当てられたポート・アドレス（例えば3F8h番地（COM1）、2F8h番地（COM2）、3E8h番地（COM3）、2E8h番地（COM4）のいずれか、あるいは3BCh番地（LPT1）、378h番地（LPT2）、278h番地（LPT3）のいずれか）にアクセスするバス・サイクルが発生したことに応答して、節電モードを禁止して通常モードに戻るべき旨を決定するようにしてもよい。

【0044】また、前記状態判定手段は、停止モード下で、前記シリアル転送又はパラレル転送の制御値の設定又は解除を行うためのバス・サイクルが発生したことに応答して、停止モードを禁止して節電モードに戻るべき旨を決定するようにしてもよい。シリアル転送のための制御・状態レジスタはI/Oポート3F9h番地乃至3FFh番地（COM1）、2F9h番地乃至2FFh番地（COM2）、3E9h番地乃至3EFh番地（COM3）、2F9h番地乃至2EFh番地（COM4）のいずれかに割当てられ、また、パラレル転送のための制御・状態レジスタは3BDh番地乃至3BFh番地（LPT1）、379h番地乃至37Fh番地（LPT2）、279h番地乃至27Fh番地（LPT3）のいずれかに割当てられているので、前記バス・サイクル検出手段はこれら各番地へのアクセス・サイクルを検出すればよい。

【0045】また、前記状態判定手段が節電モードへの遷移を許可している期間は、前記CPUモニタ手段が前記CPUのアイドル状態を検出したことに応答して、前記節電制御手段は前記信号発生手段を活動化させるようにしてもよい。

【0046】また、前記状態判定手段が停止モードへの遷移を許可している期間は、前記CPUモニタ手段が前記CPUのアイドル状態を検出したことに応答して、前記節電制御手段は、前記CPU動作停止手段を活動化させるようにしてもよい。

【0047】また、前記状態判定手段が節電モードへの遷移を禁止している期間は、前記CPUモニタ手段が前記CPUのアイドル状態を検出しても、前記節電制御手段は、前記信号発生手段を活動化させないようにしてもよい。

【0048】また、前記状態判定手段が停止モードへの遷移を禁止している期間は、前記CPUモニタ手段が前記CPUのアイドル状態を検出しても、前記節電制御手段は、前記CPU動作停止手段を活動化させないようにしてもよい。

【0049】

【作用】通信ポート（例えばシリアル・ポートやパラレル・ポート）を介して行う他の機器とのデータ転送は、一般には、1：データ転送のための制御値（例えばボーレート、IRQレベル、FIFOなど）を予め設定したり通信ポートの状態を確認する「初期設定フェーズ」、2：実際にデータの交信を行う「データ転送フェーズ」、3：データ転送後に制御値（例えばIRQレベル）の解除を行ったり通信ポートの状態を確認する「終了処理フェーズ」、という3つのフェーズで構成される。データ転送フェーズでは、比較的高速で入出力されるデータを遅滞なく処理するためにCPUをフル稼働させる必要がある。他方、データ転送の前後の初期設定及び終了処理の各フェーズでは、CPUのアクティビティは低く（特に初期設定フェーズではデータ転送開始までの待ち時間を含んでいる）、そのパフォーマンスをある程度落とすことが可能である。

【0050】本発明の第1の側面によれば、通常モード下において、データ転送のためのデータ・ポートへのアクセスが第1の所定時間以上発生しなかったことに応答して、CPUを節電モードに遷移させるようになっている。また、第2の側面によれば、通常モード下において、データ転送のためのデータ・ポートへのアクセスが第1の所定時

間以上発生しないということは、現在他の独立した機器との間でデータ転送を行っておらず、CPUをフル稼働させる必要がないことを意味する。本発明の各側面によれば、CPUのパフォーマンスを適宜低下させてパワー・マネジメント効果を向上できるという訳である。因にIBM PC/AT互換機（“PC/AT”は米IBM社の商標）では、シリアル転送のためのデータ・ポートはI/Oポート3F8h番地（又は2F8h番地、3E8h番地、2E8h番地のいずれか）が割り当てられ、また、パラレル転送のためのデータ・ポートはI/Oポート3BCh番地、378h番地、278h番地のいずれかが割り当てられているので、バス・サイクル検出手段は該番地へのアクセス・サイクルを検出すればよい。

【0051】また、本発明の第1の側面によれば、節電モード下において、データ転送の制御値を設定又は解除するためのバス・サイクルが第2の所定時間以上発生しなかったことに応答して、CPUを停止モードに遷移させるようになっている。また、第2の側面によれば、節電モード下において、データ転送の制御値を設定又は解除するためのバス・サイクルが第2の所定時間以上発生しなかったことに応答して、CPUが停止モードに遷移することを許可する。この許可されている期間中にCPUがアイドル状態（例えば待ち行列が空の状態）であることが検出されると、節電制御手段はCPU動作停止手段を活動化し、CPUは速やかに停止モードに遷移する、という運びになっている。データ転送の制御値を設定又は解除するためのバス・サイクルが第2の所定時間以上発生しないということは、現在他の独立した機器との間でデータ転送を行うための前処理すら全く行われていないか、又はその後処理が完全に終了していることを意味する。したがって、この期間は、不意にデータ転送が開始して、瞬時にCPUを立ち上げなければならない、という心配はない。本発明の各側面によれば、CPUの動作クロックを適宜完全停止させてパワー・マネジメント効果を向上できるという訳である。因にIBM PC/AT互換機では、シリアル転送のための制御値又は状態の格納場所としてI/Oポート3F9h番地乃至3FFh番地、2F9h番地乃至2FFh番地、3E9h番地乃至3EFh番地、2F9h番地乃至2EFh番地のいずれかが割り当てられ、また、パラレル転送のための制御値又は状態の格納場所としてI/Oポート3BDh番地乃至3BFh番地、379h番地乃至37Fh番地、279h番地乃至27Fh番地のいずれかが割り当てられているので、バス・サイクル検出手段は該番地へのアクセス・サイクルを検出すればよい。

【0052】また、本発明の第1の側面によれば、節電モード下において、データ転送のためのデータ・ポートへのアクセスが発生したことに応答して、CPUを通常モードに復帰させるようになっている。また、第2の側面によれば、節電モード下において、データ転送のため

のデータ・ポートへのアクセスが発生したことに応答して、CPUが節電モードにいることを禁止する。これに伴って、節電制御手段は信号発生手段を非活動化し、CPUは速やかに通常モードに復帰する、という運びになっている。データ転送のためのデータ・ポートへのアクセスが発生したということは、他の独立した機器との間でデータ転送を開始し、CPUをフル稼働させる必要が生じたことを意味する。本発明の各側面によれば、データ転送が開始されるとともに、CPUを通常モードに戻してフル稼働させるようになっている。因にIBM PC/AT互換機では、シリアル転送のためのデータ・ポートはI/Oポート3F8h番地（又は2F8h番地、3E8h番地、2E8h番地のいずれか）が割り当てられ、また、パラレル転送のためのデータ・ポートはI/Oポート3BC h番地（又は378h番地、278h番地のいずれか）が割り当てられているので、バス・サイクル検出手段は該番地へのアクセス・サイクルを検出すればよい。

【0053】また、本発明の第1の側面によれば、停止モード下において、データ転送の制御値を設定又は解除するためのバス・サイクルが発生したことに応答して、CPUを節電モードに遷移させるようになっている。また、第2の側面によれば、停止モード下において、データ転送の制御値を設定又は解除するためのバス・サイクルが発生したことに応答して、CPUが停止モードにいることを禁止する。これに伴って、節電制御手段はCPU動作停止手段を非活動化し、CPUは速やかに節電モードに復帰する、という運びになっている。データ転送の制御値を設定又は解除するためのバス・サイクルが発生したということは、初期設定フェーズに突入し、データ転送の開始が予想されることを意味する。データ転送時にはCPUは通常モード下でフル稼働しなければならないが、停止モードから通常モードに戻るまでには遅延時間を要し、安定化するまでの間にデータを喪失してしまうことが懸念される。本発明の各側面によれば、CPUの停止モード下でデータ転送の開始が予想されると、予め節電モードまで戻しておき、瞬時に通常モードに復帰できるようにしているという訳である。因にIBM PC/AT互換機では、シリアル転送のための制御値又は状態の格納場所としてI/Oポート3F9h番地乃至3FF番地、2F9h番地乃至2FFh番地、3E9h番地乃至3EFh番地、2F9h番地乃至2EFh番地のいずれかが割り当てられ、また、パラレル転送のための制御値又は状態の格納場所としてI/Oポート3BD h番地乃至3BF h番地、379h番地乃至37F h番地、279h番地乃至27F h番地のいずれかが割り当てられているので、バス・サイクル検出手段は該番地へのアクセス・サイクルを検出すればよい。

【0054】要するに本発明は、(1)フル稼働が必要なデータ転送フェーズに突入する前には必ず初期設定フ

ェーズを経るという点と、(2)初期設定フェーズ及び終了処理フェーズではCPUのパフォーマンス低下が可能である、という点に着目してなされたものである。すなわち、初期設定フェーズ及び終了処理フェーズであることが検出されると、CPUのパフォーマンスをある程度落とすことを許可するようになっている。また、転送のための制御レジスタへのアクセスが行われているなど、データ転送フェーズに突入することが予想される期間では、停止中のCPUを節電モードまで戻し、瞬時に通常モードに復帰可能な状態で待機させるようにしているのである。本発明は、バス・サイクル単位でCPUの低消費電力化を図っているとも言えよう。

【0055】したがって、本発明によれば、他の独立した機器（例えば他のPC）との間でデータ転送を行っている間（又は通信アプリケーションの起動中）であっても、適切なタイミングでCPUのパフォーマンスを落としてパワー・マネジメント効果を向上させることができる、優れた情報処理システムを提供することができるのである。

【0056】本発明のさらに他の目的、特徴や利点は、後述する本発明の実施例や添付する図面に基づくより詳細な説明によって明らかになるであろう。

【0057】

【発明の実施の形態】以下、図面を参照しながら本発明の実施例を詳解する。

【0058】A. パーソナル・コンピュータ(PC) 100のハードウェア構成

図1には、本発明の実施に供されるパーソナル・コンピュータ(PC) 100のハードウェア構成を示している。以下、各部について説明する。

【0059】メイン・コントローラであるCPU 11は、オペレーティング・システム(OS)の制御下で、各種プログラムを実行するようになっている。CPU 11から伸びるプロセッサ・バス12は、ローカル・バス16及びシステム・バス22という2階層のバスを介して、各周辺機器（後述）と連絡している。ここで、CPU 11は、図8に示したものと略同一構成であり、例えば米Intel社が市販する"Pentium/1xx MHz"でよい。また、各バス12、16、及び22は、それぞれ、データ・バス、アドレス・バス、コントロール・バスなどを含む共通信号線路である。ローカル・バス16は、グラフィックスなどの特定の周辺機器を接続するための、比較的高速に動作するバスである。ローカル・バス16の一例は、米Intel社が提唱するPCI(peripheral Component Interconnect)バスである。また、システム・バス22は、FDDなどの比較的低速な周辺機器を接続するためのバスであり、その一例は、ISA(Industry Standard Architecture)バスである。

【0060】プロセッサ・バス12とローカル・バス1

6とは、ブリッジ回路（ホスト-PCIブリッジ）14によって連絡されている。本実施例のブリッジ回路14は、メイン・メモリ15へのアクセス動作を制御するためのメモリ・コントローラと、両バス12, 16間の速度差を吸収するためのデータ・バッファを含んだ構成となっている。メイン・メモリ15は、CPU11が実行する各プログラム（OSやアプリケーション・プログラムなど）をロードしたり、CPU11が作業領域として用いたりするための書き込み可能なメモリ（RAM）である。メイン・メモリ15には、大容量を比較的安価で入手可能なダイナミックRAM（DRAM）が用いられ、例えば8MB程度の容量がシステム100に標準装備される。また、参照番号13で示すブロックは、外部キャッシュ（「Level 2（L2）-キャッシュ」ともいう）であり、CPU11の処理速度とメイン・メモリ15へのアクセス速度の差を吸収するために設けられている。L2-キャッシュ13は、DRAMよりも高速アクセス可能なスタティックRAM（SRAM）で構成され、その容量は例えば256KB程度である。

【0061】ローカル・バス16には、ビデオ・コントローラ17のような、比較的高速な動作が要求される周辺機器が接続される。ビデオ・コントローラ17は、CPU11からの描画命令を実際に処理するための周辺コントローラであり、処理した描画情報を画面バッファ（VRAM）18に一旦書き込むとともに、VRAM18から描画情報を読み出して表示手段としての液晶表示ディスプレイ（LCD）19に出力するようになっている。

【0062】ローカル・バス16とシステム・バス22とは、ブリッジ回路（PCI-ISAブリッジ）20によって連絡されている。本実施例のブリッジ回路20は、DMAコントローラ、割り込みコントローラ、プログラマブル・インターバル・タイマ（PIT）を含んだ構成となっている。ここで、DMA（Direct Memory Access）コントローラとは、CPU11の介在なしにメイン・メモリ15と周辺機器（例えばFDD27：後述）との間でデータ転送を行わせるための周辺コントローラである。また、割り込みコントローラとは、各周辺機器からのハードウェア割り込み（IRQ）を調停して、CPU11に通知するようになっている。また、PITとは、数種類のタイマ信号をシステム100内の各部に供給するための機器である。PITの発するタイマ信号は、例えば55msec間隔でOS/BIOS（後述）に与える周期的割り込み、15.2μsec間隔でロー/ハイ・レベルが切り換わるDRAMリフレッシュ用タイマ信号、オーディオ目的のためのトーン生成用信号などである。

【0063】ブリッジ回路20は、さらに、補助記憶装置としてのハード・ディスク・ドライブ（HDD）21を接続するためのインターフェース（例えばIDEイン

ターフェース。IDE（Integrated Drive Electronics。IDEは、本来、ISAバスにHDDを直結するためのインターフェース規格）を含んでいる。

【0064】なお、上述した2つのブリッジ回路14及び20は、PCIで策定されており、一般には単一のチップセットの形態で提供されている。チップセットの一例は、米Intel社が市販する「Triton」である。

【0065】システム・バス22には、I/Oコントローラ23、フロッピー・ディスク・コントローラ（FDC）26、キーボード/マウス・コントローラ（KMC）28、オーディオ・コントローラ31、ROM34、パワー・マネジメントLSI50などの、比較的低速で動作する周辺機器が接続されている。

【0066】I/Oコントローラ23は、シリアル・ポート24やパラレル・ポート25などの通信ポートを介して行うデータ入出力を制御するための周辺コントローラである。24や25などの通信ポートは、他の独立した機器（例えば他のPC）と物理的に接続するためのコネクタを備えている。I/Oコントローラ23は、シリアル転送及びパラレル転送それぞれのためのデータ・レジスタや制御/状態レジスタを物理的に備えている。これらレジスタには、それぞれ固有のI/Oポート・アドレスが割当てられている。なお、シリアル・ポートの規格の一例はRS-232Cであり、パラレル・ポートの規格の一例はセントロニクスである。

【0067】FDC26は、フロッピー・ディスク・ドライブ（FDD）27を駆動制御するための専用コントローラである。

【0068】KMC28は、キーボード29からの入力マトリックスや、マウス30による指示座標値を処理するためのコントローラであり、29や30からの入力信号をOSの定義に合致したフォーマットに変換してバス22上に送り出すようになっている。

【0069】オーディオ・コントローラ31は、音声信号の入出力を処理するための周辺コントローラである。オーディオ・コントローラ31の1つの機能は、PITが生成した特定周波数信号に基づいてトーン信号を発生することである。オーディオ・コントローラ31の出力信号は、例えばアンプ32で増幅され、スピーカ33から音声出力される。

【0070】ROM34は、製造時に書き込みデータが決められてしまう不揮発性メモリであり、所定のコードを恒久的に格納するために用いられる。ROMが格納するコードには、システム100の始動時に行うテスト・プログラム（POST）や、システム100内の各ハードウェアの入出力を操作するためのプログラム（BIOS）が含まれる。

【0071】発振器（OSC）40は、CPU11などのような同期駆動型のチップに対して動作クロックを供

給するための機器である。なお、CPU 11には、クロック制御回路60（後述）を介してクロック信号が入力されるようになっている。

【0072】パワー・マネジメントLSI（PM_LSI）50は、CPU 11のパワー・マネジメント動作を好適に実現するために設けられた専用LSIである。より具体的には、ローカル・バス16上の動作内容をモニタ（「バス・スヌープ」ともいう）して、所定のタイミングで制御信号STPCLK#（前述）をCPU 11に出力するようになっている。PM_LSI 50は、例えばゲートアレイのようなセミカスタム設計によって製造することができる。該LSIチップ50は、本発明を実現するに当たって中心的な役割を果たすが、その詳細な構成及び動作特性はC項及びD項で後述する。

【0073】クロック制御回路60は、OSC 40からCPU 11に供給される入力クロックを適宜遮断するための回路である。【従来の技術】の項で述べたように、CPU 11は制御信号STPCLK#を入力することによって、チップ11内の機能ユニットの動作を部分的に低下又は完全に停止させることができる。これに対し

て、クロック制御回路60は、PLL回路11aへの入力クロック自体を遮断して、CPU 11を完全に停止させるためのものである。本実施例のクロック制御回路60は、APM BIOSによって活動化される。

【0074】なお、現在市販されている殆どのPCは、参照番号11乃至40に示すブロックと等価なハードウェア構成要素を備えている。また、PCを構成するためには、図1に示した以外にも多くの電気回路等が必要であるが、これらは当業者には周知であり、且つ本発明の要旨とは関連がないので、本明細書中では省略している。

【0075】B. PC 100のソフトウェア構成

図2には、本発明の実施に供されるPC 100上で実行可能なソフトウェアの構成を概略的に示している。

【0076】BIOS層

最下層のソフトウェアは、BIOS（Basic Input/Output System：基本入出力システム）である。BIOSは、システム100中の各ハードウェア（ビデオ・コントローラ17やキーボード29、HDD 21、FDC 26など）を制御するための基本動作命令を集めたプログラム群であり、上位のプログラム（オペレーティング・システムやアプリケーション：後述）からのコールを受けて、実際のハードウェア操作を行うようになっている。この他、BIOSは、システム100が起動した時に実行するブート・ストラップ・ルーチンや、バス16／22上に発生した割り込みを処理するためのルーチンも含んでいる。なお、本発明に係るパワー・マネジメント機能において実際にCPU 11チップをハードウェア操作するためのAPM BIOS（前述）もこの層に存在する。

【0077】OS（オペレーティング・システム）層：

OSは、システム100のハードウェア及びソフトウェアを総合的に管理するための基本ソフトウェアである。例えば、OS／2（“OS／2”は米IBM社の商標）や、Windows（“Windows”は米Microsoft社の商標）がこれに該当する。OSは、HDD 21などの記憶装置に格納するファイルを管理するための「ファイル・マネージャ」、CPU 11のタスク実行の順序や優先順位を管理するための「スケジューラ」、メモリ領域の割当てを管理するための「メモリ・マネージャ」などを含んでいる。また、ウィンドウ表示やマウス操作等の処理のための「ユーザ・インターフェース」（システム・コールとシステム・コマンド）も含んでいる。さらに、ハードウェア操作ソフトウェアのうち後から追加されるタイプの「デバイス・ドライバ」もOSの一部であると把握されたい。デバイス・ドライバの一例は、LCD 19など表示装置を駆動するためのディスプレイ・ドライバである。また、APM BIOSをコールするAPMドライバ（前述）もこの層に存在する。

【0078】AP（アプリケーション・プログラム）層：

最上位層は、APである。ワープロ、データベース、表計算、通信などの各プログラムがAPに該当する。各APは、ユーザの意思に応じて、HDD 21やFDD 27などの補助記憶装置からメイン・メモリ15に適宜ロードされる。なお、APM（前述）に対応したAPは、APMドライバに自身を登録することによって、パワー・マネジメント動作を行う際に、APMドライバとの間で要求／肯定応答のルーチンを行うことが可能である。

【0079】なお、図2に示すような各ソフトウェアの階層的構造自体は、当業者には既に周知である。

【0080】C. パワー・マネジメントLSIの構成

図3には、パワー・マネジメントLSI（PM_LSI）50の内部構成を示している。該LSIチップ50は、本実施例に係るCPUのパワー・マネジメント動作を好適に実現するために、システム100内に実装されている。

【0081】図3に示すように、PM_LSI 50は、バス・サイクル検出部50aと、状態判定部50bと、信号発生部50cとを含み、また、ローカル・バス16中のアドレス・バス、データ・バス、及びコントロール・バスをモニタするとともに、CPU 11に対して制御信号STPCLK#（STPCLK#はプロセッサ・バス12中の制御信号の1つ：前述）を出力するようになっている。

【0082】C-1. バス・サイクル検出部50a：バス・サイクル検出部50aは、ローカル・バス上のバス・サイクルをモニタ（バス・スヌープ）して、特定のI/Oポート・アドレスへのアクセスがあった（すなわち特定のトラクザクションが発生した）ことを検出する

と、後続の状態判定部50bにその旨を通知するようになっている。

【0083】ローカル・バス16がPCIバスの場合、イニシエータ（すなわちコマンド送信側）とターゲット（すなわちコマンド受信側）の間でリード又はびライトの各トランザクションが行なわれているとき、バス16上には、図4及び図5の各々に示すようなタイミング・チャートで示されるリード・サイクル又はライト・サイクルが発生する。以下、各バス・サイクルについて簡単に説明しておく。

【0084】リード・サイクル：

(1) 図4に示すように、リード・サイクルの最初のPCIクロック・サイクルの期間は、アドレス／データ・バスはアドレス・フェーズにあり、イニシエータは、アクセス先となるI/Oポート・アドレスを送出し続けている。また、C/BE#(3:0)はコマンド・フェーズにあり、イニシエータは、リード・サイクルであることを示すために値"0010"bを送出し続けている。また、イニシエータは、バス・サイクルの開始を明示するべく、FRAME#をアクティブ（すなわちロー状態）にしている。

(2) 次のPCIクロック・サイクルで、イニシエータはFRAME#をインアクティブ（すなわちハイ状態）に戻す。また、イニシエータは、自己がレディ（Ready）状態になると、IRDY#をアクティブ（すなわちロー状態）にする。

(3) 次いで、アドレス／データ・バスはデータ不確定フェーズに入る。また、C/BE#(3:0)は、バイト・イネーブル・フェーズに入り、イニシエータは、I/Oレジスタ中の読み取りバイト位置を示すバイト・イネーブル値を送出し続ける。なお、バイト・イネーブル値はアクセス先となるI/Oポート・アドレスによって決まる。I/Oポート・アドレスとバイト・イネーブル値との関係を示したテーブル（一例）を表1に示しておく。

【0085】

【表1】

I/Oポート・アドレス	バイト・イネーブル値
3F8h	1110b
3F9h	1101b
3FAh	1011b
3FBh	0111b
3FCh	1110b
3FDh	1101b
3FEh	1011b
3BCh	1110b
3BDh	1101b
3BEh	1011b

【0086】(4) ターゲットは、送出されたI/Oポ

ート・アドレスをみて、自分がアクセス先であることを認識すると、DEVSEL#をアクティブ（すなわちロー状態）にして応答する。

(5) 次いで、ターゲットは、自己がレディ（Ready）状態になると、TRDY#をアクティブ（すなわちロー状態）にする。このとき、アドレス／データ・バスは既にデータ・フェーズに入っており、ターゲットは、所定のI/Oポート・アドレスのデータをアドレス／データ・バス上へ送出し始める。

10 (6) その後、IRDY#及びTRDY#がインアクティブ（すなわちハイ状態）に戻ることによって、バス・サイクルが終了する。なお、このリード・サイクルの間、CPU11（より具体的にはBIOS）になり代わってコマンドを発行するブリッジ回路14が「イニシエータ」となり、また、シリアル転送及びパラレル転送それぞれのためのデータ・レジスタや制御／状態レジスタを物理的に備えているI/Oコントローラ23が「ターゲット」となる。

【0087】ライト・サイクル：

20 (1) 図5に示すように、ライト・サイクルの最初のPCIクロック・サイクルの期間は、アドレス／データ・バスはアドレス・フェーズにあり、イニシエータは、アクセス先となるI/Oポート・アドレスを送出し続けている。また、C/BE#(3:0)はコマンド・フェーズにあり、イニシエータは、ライト・サイクルであることを示すために値"0011"bを送出し続けている。また、イニシエータは、バス・サイクルの開始を明示するべく、FRAME#をアクティブ（すなわちロー状態）にしている。

30 (2) 次のPCIクロック・サイクルで、イニシエータはFRAME#をインアクティブ（すなわちハイ状態）に戻す。また、イニシエータは、自己がレディ（Ready）状態になると、IRDY#をアクティブ（すなわちロー状態）にする。

(3) 次いで、アドレス／データ・バスはデータ・フェーズに入り、イニシエータは指定したI/Oポート・アドレスのデータを送出し続ける。また、C/BE#

40 (3:0)は、バイト・イネーブル・フェーズに入り、イニシエータは、I/Oレジスタ中の書き込みバイト位置を示すバイト・イネーブル値を送出し続ける。なお、バイト・イネーブル値はアクセス先となるI/Oポート・アドレスによって決まり、上表1と同じ内容である。

(4) ターゲットは、送出されたI/Oポート・アドレスをみて、自分がアクセス先であることを認識すると、DEVSEL#をアクティブ（すなわちロー状態）にして応答する。

(5) 次いで、ターゲットは、自己がレディ（Ready）状態になると、TRDY#をアクティブ（すなわちロー状態）にする。また、ターゲットは、アドレス／データ・バス上へ送出されているデータを受信して、所定

のI/Oポート・アドレスに書き込む。

(6) その後、IRDY#及びTRDY#がインアクティブ(すなわちハイ状態)に戻ることによって、バス・サイクルが終了する。なお、このライト・サイクルの間、CPU11(より具体的にはBIOS)になり代わってコマンドを発行するブリッジ回路14が「イニシエータ」となり、また、シリアル転送及びパラレル転送それぞれのためのデータ・レジスタや制御/状態レジスタを物理的に備えているI/Oコントローラ23が「ターゲット」となる。

【0088】図4及び図5に示すように、ローカル・バス16がPCIバスの場合、32ビット幅のアドレス/データ・バス全部と、コントロール・バスのうち0~3ビットのC/BE(コマンド/バス・イネーブル) #、FRAME #、IRDY(イニシエータ・レディ) #、TRDY(ターゲット・レディ) #、及びDEVSEL(デバイス・セレクト) #の動作によってバス・サイクルが特定される。したがって、バス・サイクル検出部50aは、これら各信号線だけをスヌープしておけば、所望のI/Oポート・アドレスへのアクセス・サイクルを検出することができるという訳である。(但し、PCIバスの規格ではアドレス・バスとデータ・バスは多重化されている。)

【0089】本実施例で言う、特定のI/Oポート・アドレスの一例は、1:シリアル転送のデータ・ポート、及び、2:シリアル転送の制御レジスタ及び状態レジスタの各々に割当てられたI/Oポートである。IBM PC/AT互換機では、シリアル転送のデータ・ポートには3F8h番地(又は2F8h番地、3E8h番地、2E8h番地のいずれか)が、その制御/状態レジスタには3F9h番地~3Ffh番地(又は2F9h番地乃至2Ffh番地、3E9h番地乃至3EFh番地、2F9h番地乃至2EFh番地のいずれか)が、それぞれ割当てられている。また、他の例は、1:パラレル転送のデータ・ポート、及び、2:パラレル転送の制御レジスタ及び状態レジスタの各々に割当てられたI/Oポートである。IBM PC/AT互換機では、パラレル転送のデータ・ポートには3BCh番地(又は378h番地、278h番地のいずれか)が、制御/状態レジスタには3BD番地乃至3BFh番地(又は379h番地乃至37fh番地、279h番地乃至27fh番地のいずれか)が、それぞれ割当てられている。シリアル・ポート24やパラレル・ポート25などの通信ポートを介してデータ転送を行うとき(若しくは通信用アプリケーションを起動している間)は、そのデータ・ポートや制御/状態レジスタへのアクセス(リード及びライトの双方を含む)が発生する(前述)。バス・サイクル検出部50aがこれら特定のI/Oポートにアクセスするバス・サイクルを検出すべき意義及びその効果については、後述の説明で明らかになるであろう。

【0090】なお、このような特定のI/Oポートへのアクセス・サイクルを検出するためのバス・サイクル検出部50aがハードウェア回路として実装可能である、ということは当業者であれば容易に理解できるであろう。

【0091】C-2. 状態判定部50b: 前述したように、状態判定部50bは、バス・サイクル検出部50aからの通知内容に応じて現在CPU11のパフォーマンスをどの程度まで低下させることが可能か(すなわちCPU11の許容され得る最低限のパフォーマンス)を判定するようになっている。

【0092】遷移条件: CPU11の状態を遷移させるべき事象は、以下の通りである。

【0093】1: 通信ポートのデータ・ポートへのアクセス

CPU11のアクティビティに影響を及ぼす事象の1つは、通信ポートのデータ・ポートへのアクセス・サイクルである。より具体的には、該アクセス・サイクルが所定時間(T1)以上発生しなかったという事象(遷移事象Tr1)と、該アクセス・サイクルが発生したという事象(遷移事象Tr3)である。ここでいう通信ポートとは、シリアル・ポート24やパラレル・ポート25のことである。IBM PC/AT互換機では、I/Oポートの3F8h番地(又は2F8h番地、3E8h番地、2E8h番地のいずれか)及び3BCh番地(又は378h番地、278h番地のいずれか)が各ポート24、25のデータ・ポートに割当てられている。データ・ポートへのアクセスは、通信ポートを介したデータ転送中に頻繁に発生する(前述)。

【0094】2: 通信ポートの制御/状態・ポートへのアクセス

また、CPU11のアクティビティに影響を及ぼす事象は、通信ポートの制御/状態レジスタへのアクセス・サイクルである。より具体的には、該アクセス・サイクルが所定時間(T2)以上発生しなかったという事象(遷移事象Tr2)と、該アクセス・サイクルが発生したという事象(遷移事象Tr4)である。ここでいう通信ポートとは、シリアル・ポート24やパラレル・ポート25のことである。IBM PC/AT互換機では、I/Oポートの3F9h番地乃至3Ffh番地(又は2F9h番地乃至2Ffh番地、3E9h番地乃至3EFh番地、2F9h番地乃至2EFh番地のいずれか)がシリアル・ポート24の制御/状態レジスタに割当てられ、また、I/Oポートの3BDh番地乃至3BFh番地(又は379h番地乃至37fh番地、279h番地乃至27fh番地のいずれか)がパラレル・ポート25の制御/状態レジスタに割当てられている。制御/状態レジスタへのアクセスは、通信ポートを介したデータ転送を行う前(すなわち通信アプリケーションの起動時)や、データ転送後の終了処理の間に発生する(前述)。

10

20

30

40

50

【0095】状態判定部50bの動作特性：状態判定部50bは、上記した各遷移条件Tr1～Tr4を検知したことによって、CPU11の許容され得る最低限のパフォーマンスを判定するようになっている。ここで、遷移条件Tr3及びTr4は、バス・サイクル検出部50aからの通知によって検知できる（前述）。また、遷移条件Tr1及びTr2については、バス・サイクル検出部50aよりTr3又はTr4各々の通知を受けてからの経過時間を、自身の持つウォッチ・オフ・タイマ機能（図示しない）を用いて計時することによって検知可能である。なお、計時時間は、例えば本発明者らの経験則によれば、T1=1sec、T2=5sec程度が妥当と思われる。

【0096】図6には、状態判定部50bによる判定内容を、状態遷移図の形態で示している。以下、各状態及び状態を遷移する条件について説明する。

【0097】状態0：状態0とは、CPU11を高速クロック速度下でフル稼働させている状態であり、[特許請求の範囲]の項の語句に従えば「通常モード」に該当する。状態0において遷移条件Tr1が検知されると、状態1に遷移する。また、状態0において、バス・サイクル検出部50aから他のバス・サイクルが通知されても、状態0にリターンするだけである。

【0098】状態1：状態1とは、CPU11のパフォーマンスをある程度まで低下させることが可能な状態である。パフォーマンスをある程度低下させた状態とは、[特許請求の範囲]の項の語句に従えば「節電モード」に該当する。節電モードは、CPU11のスロー・クロック・モードであってもよい。なお、パフォーマンス低下可能な程度とは、ターン・アラウンド・タイムやスルー・プットを劣化させない程度のことである。状態0において遷移条件Tr1が検知されると、状態1に遷移する（上述）。通信ポートのデータ・ポートへのアクセス・サイクルが所定時間T1（=1sec）以上発生しなかったことは、システム100はデータ転送期間中ではなく、通信ポート24、25に関するアクティビティは初期設定フェーズ又は終了処理フェーズの場合以下に過ぎないことを意味する。この場合、初期設定又は終了処理に要する程度までCPU11のパフォーマンスを低下させることが可能なので、状態1に遷移させる、という訳である。また、状態1において遷移条件Tr3が検出されると、状態0に復帰する。通信ポートのデータ・ポートへのアクセス・サイクルが発生したということは、システム100がデータ転送フェーズにあることを意味する。データ転送期間中は、転送データを遅滞なく処理するためにはCPU11をフル稼働させなければならないので、パフォーマンス低下を禁止すべく状態0に復帰させる、という訳である。また、状態1において遷移条件Tr2が検出されると、さらに状態2に遷移する。また、状態1において、バス・サイクル検出部50aから

他のバス・サイクルが通知されても、状態1にリターンするだけである。

【0099】状態2：状態2とは、CPU11の動作を完全に停止させることが可能な状態である。CPU11の完全停止状態とは、[特許請求の範囲]の項の語句に従えば「停止モード」に該当する。停止モードは、クロック制御回路60を活動化させて、CPU11への入力クロックを遮断したストップ・クロック・モードであってもよい。状態1において遷移条件Tr2が検出されると、さらに状態2に遷移する（上述）。通信ポートの制御／状態レジスタへのアクセス・サイクルが所定時間T2（=5sec）以上発生しなかったことは、通信ポート24、25に関するアクティビティは全くないことを意味する（何故ならば、制御値の設定・解除や状態リードがなされていない）。また、CPU11を完全停止させた後に通常モードに復帰するには遅延時間（1msec程度）を要するが、初期設定フェーズ（状態1）を経てからでないとデータ転送フェーズ（状態0）に入らない。そこで、遷移条件Tr2を満たせばCPU11の動作を完全に停止させることが可能、という訳である。また、状態2において遷移条件Tr4が検出されると、状態1に復帰する。通信ポートの制御／状態レジスタへのアクセス・サイクルが再び発生したということは、システム100がデータ転送のための初期設定フェーズに入ったことを意味する。そこで、初期設定に必要な程度のパフォーマンスまでCPU11を再稼働させるべく、状態1に復帰させる、という訳である。また、状態2において、バス・サイクル検出部50aから他のバス・サイクルが通知されても、状態2にリターンするだけである。

【0100】状態判定部50bがこれら特定のI/Oポートにアクセスに応答して図6のような状態判定を行うべき意義及びその効果については、後述の説明で明らかになるであろう。

【0101】なお、図6に示すような状態遷移図に基づいて駆動する状態判定部50bがハードウェア回路として実装可能である、ということは当業者であれば容易に理解できるであろう。

【0102】C-3. 信号発生部50c：信号発生部50cは、所定間隔でSTPCLK#のロー／ハイ・レベルをスロットリングさせることによって、CPU11の動作クロックを間引いて、スロー・クロック・モードを実現するためのものである。

【0103】CPU11の動作クロックを間引く程度は、通信ポート24、25の初期設定や終了処理を支障なく行え、且つターン・アラウンド・タイムやスルー・プットを劣化させない程度である。例えば133MHzにて駆動するCPUであれば、4分の1あるいは8分の1の動作クロックを間引くことができる。このことは、スロー・クロック・モードにおけるCPUの消費電力を

通常モードの約4分の1又は8分の1まで低減できることに等しい。

【0104】APMドライバは、CPU11のアイドル状態が検出すると、APM BIOSをコールする(前述)。本実施例のAPM BIOSは、信号発生部50cをハードウェア操作できるようになっている。すなわち、APM BIOSは、自身がコールされたときに状態判定部50bが状態1にあれば、信号発生部50cを活動化してCPU11をスロー・クロック・モードにする。この期間は、通信ポート24、25のアクティビティという観点からみれば、CPU11のパフォーマンス低下は支障ないからである。

【0105】D. CPUチップ11のパワー・マネジメント・オペレーション

前項までで、本発明を具現するコンピュータ・システムのハードウェア及びソフトウェア構成を説明してきた。本項では、図7を参照しながら、該システム100の動作とともに本発明の作用について説明することにする。

【0106】通信アプリケーション起動期間の各フェーズ：図7(a)には、通信アプリケーション起動中のシステム100の状態をさらに細分化して示している。同図に示すように、通信アプリケーション起動期間は、初期設定フェーズ、データ転送フェーズ、終了処理フェーズの各フェーズに分けることができる。

【0107】初期設定フェーズでは、ボーレート、IRQレベル、FIFOなどの制御値を通信ポート24又は25の制御レジスタに書き込んだり、状態レジスタにアクセスして通信ポート24又は25の状態確認などのトランザクションが行われる。このため、このフェーズ期間中は、制御/状態レジスタに割当てられているI/Oポート(シリアル転送ならば3F9h番地～3FFh番地、2F9h番地乃至2FFh番地、3E9h番地乃至3EFh番地、2F9h番地乃至2EFh番地のいずれかであり、パラレル転送ならば3BDh番地乃至3BFh番地、379h番地乃至37Fh番地、279h番地乃至27Fh番地のいずれかである。)へのアクセスが比較的頻繁に発生する。また、初期設定フェーズには、データ転送が実際に開始されるまでの待ち時間も含まれる。

【0108】データ転送フェーズでは、転送データの出入力が実際に行われ、このため、このフェーズ期間中は、通信ポート24又は25のデータ・ポート(シリアル転送ならば3F8h番地、2F8h番地、3E8h番地、2E8h番地のいずれかであり、パラレル転送ならば3BCh番地、378h番地、278h番地のいずれかである。)へのアクセスが頻繁に発生する。

【0109】終了処理フェーズでは、初期設定時に設定しておいたIRQレベルの解除や通信ポート24又は25の状態確認などのトランザクションが行われる。このため、このフェーズ期間中は、制御/状態レジスタに割

当てられているI/Oポート(シリアル転送ならば3F9h番地～3FFh番地、2F9h番地乃至2FFh番地、3E9h番地乃至3EFh番地、2F9h番地乃至2EFh番地のいずれかであり、パラレル転送ならば3BDh番地乃至3BFh番地、379h番地乃至37Fh番地、279h番地乃至27Fh番地のいずれかである。)へのアクセスが比較的頻繁に発生する。

【0110】なお、本発明者らの経験則によれば、

(1) 通信ポート24又は25のデータ・ポートへのアクセスが所定時間T1(=1sec)以上発生しなかったことはシステム100がデータ転送フェーズにないことを示す。

(2) 通信ポート24又は25の制御/状態レジスタへのアクセスが所定時間T2(=5sec)以上発生しなかったことはシステム100が終了処理を済ませているか又は未だ初期設定フェーズに入っていないことを示す。

(3) 初期設定フェーズを経ずにいきなりデータ転送フェーズに突入することはない。ということが判っている。

【0111】各フェーズにおけるCPU11の状態：図7(b)には、各フェーズにおける状態判定部50bの判定結果(状態)を示している。

【0112】通信ポート24又は25に関連するいずれのI/Oポートにもアクセスがない状態では、通信ポート24又は25のアクティビティという観点からは、CPU11を完全停止させることが許される。このため、状態判定部50bは、CPU11のストップ・クロックを許可する旨を明示するべく、状態2にある。

【0113】次いで、初期設定フェーズに突入すると、通信ポート24又は25の制御/状態レジスタへのアクセス・サイクル(すなわち遷移条件Tr4)が発生する。この期間中は、制御値の設定や状態確認を支障なく実行するためには、CPU11は少なくともスロー・クロック・モード以上のパフォーマンスで稼働しなければならない。このため、状態判定部50bは、CPU11のスロー・クロックを許可するがストップ・クロックを禁止する、ということを明示するべく、状態1に遷移する。初期設定フェーズは、データ転送フェーズへの突入が予想される期間でもある。

【0114】次いで、データ転送フェーズに突入すると、通信ポート24又は25のデータ・ポートへのアクセス・サイクル(すなわち遷移条件Tr3)が発生する。この期間中は、比較的高速に転送されるデータを遅滞なく(すなわち喪失することなく)処理するためには、CPU11は通常モード下でフル稼働しなければならない。このため、状態判定部50bは、CPU11のパフォーマンス低下を禁止することを明示するべく、状態0に遷移する。状態1すなわちスロー・クロック・モードからであれば、CPU11は殆ど遅延時間なしに通

常モードに復帰することができる。

【0115】次いで、終了処理フェーズに突入すると、通信ポート24又は25のデータ・ポートへのアクセス・サイクルが所定時間T1以上発生しなかったことにより、遷移条件Tr1が発生する。この期間中は、IRQレベルの解除や状態確認を実行するだけであり、CPU11はフル稼働する必要はなく、スロー・クロック・モードでよい。このため、状態判定部50bは、CPU11のスロー・クロックを許可することを明示するべく、状態1に再び遷移する。

【0116】次いで、終了処理フェーズを抜けると、通信ポート24又は25の制御／状態レジスタへのアクセス・サイクルが所定時間T2以上発生しなかったことにより、遷移条件Tr2が発生する。この期間中は、通信ポート24又は25のアクティビティという観点からは、CPU11を完全停止させることが許される。このため、状態判定部50bは、CPU11のストップ・クロックを許可する旨を明示するべく、状態2に再び遷移する。

【0117】CPU11のアクティビティ：図7(c)には、説明の便宜上、CPU11のアクティビティを例示している。なお、CPU11のアクティビティは、スケジューラの待ち行列中に有効タスクが存在するかどうかをAPMドライバが検出することによってなされる（前述）。同図では、通信アプリケーション起動前、初期設定フェーズ、データ転送フェーズ、終了処理フェーズ、通信アプリケーション終了後の各期間中に、それぞれCPUアイドルI1、I2、I3、I4、I5が検出されたことを示している。また、図7(d)には、この場合にCPUのアクティビティが検出された場合に実行されるCPUのパワー・マネージメント・オペレーションを示している。

【0118】CPUアイドルI1が検出されたとき、状態判定部50bは状態2にあり、CPU11の完全停止が許可されている。したがって、I1を検出したAPMドライバは、APM BIOSをコールすることができる。そして、APM BIOSは、クロック制御回路60を活動化することにより、CPU11をストップ・クロック・モードにする。

【0119】また、CPUアイドルI2が検出されたとき、状態判定部50bは状態1にあり、CPU11の完全停止は禁止だがパフォーマンス低下は許可されている。したがって、I2を検出したAPMドライバは、APM BIOSをコールすることができる。そして、APM BIOSは、クロック制御回路60を非活動化するとともに、信号発生部50bを活動化することにより、CPU11をスロー・クロック・モードにする。このときシステムは既に通信アプリケーションを起動中であるが、本発明によればCPU11をスロー・クロックにすることができる、という点に留意されたい。

【0120】また、CPUアイドルI3が検出されたとき、状態判定部50bは状態2にあり、CPU11のパフォーマンス低下すら禁止されている。したがって、I3を検出したAPMドライバはAPM BIOSをコールすることができず、CPU11は通常モードを維持する。

【0121】また、CPUアイドルI4が検出されたとき、状態判定部50bは状態1にあり、CPU11の完全停止は禁止だがパフォーマンス低下は許可されている。したがって、I4を検出したAPMドライバは、APM BIOSをコールすることができる。そして、APM BIOSは、信号発生部50bを活動化することにより、CPU11をスロー・クロック・モードにする。このときシステムは未だ通信アプリケーションを起動中であるが、本発明によればCPU11をスロー・クロックにすることができる、という点に留意されたい。

【0122】CPUアイドルI5が検出されたとき、状態判定部50bは状態2にあり、CPU11の完全停止が許可されている。したがって、I5を検出したAPMドライバは、APM BIOSをコールすることができる。そして、APM BIOSは、クロック制御回路60を活動化することにより、CPU11をストップ・クロック・モードにする。

【0123】E. 追補

以上、特定の実施例を参照しながら、本発明について詳解してきた。しかしながら、本発明の要旨を逸脱しない範囲で当業者が該実施例の修正や代用を成し得ることは自明である。例えばファクシミリ機器、移動無線端末やコードレス電話機、電子手帳、ビデオ・カメラなどの各種コードレス機器、ワードプロセッサ等のような、各種電気・電子機器に対しても、本発明を適用することができる。また、本実施例中では、シリアル転送及びパラレル転送時におけるCPUのパワー・マネージメントについて言及しているが、他の機器との通信がこれら以外の形態による場合（例えば赤外線（IR）通信のような無線通信を行っている場合）にも、本発明を適用することができる。

【0124】要するに、例示という形態で本発明を開示してきたのであり、限定的に解釈されるべきではない。本発明の要旨を判断するためには、冒頭に記載した特許請求の範囲の欄を参酌すべきである。

【0125】なお、本明細書中で記述されたI/Oポート・アドレスやIRQレベルの予約内容は、IBM PC/ATシリーズの互換機の標準に基づくものである。

【0126】

【発明の効果】以上詳記したように、本発明によれば、データ処理の中核を担うプロセッサ（CPU）の動作周波数を低下若しくは完全停止させることによって消費電力を低減させるパワー・マネージメント機能を有するタイプの、優れた情報処理システムを提供することができ

る。

【0127】また、本発明によれば、パワー・マネジメント効果とシステムの保全性という双方の要求を満たしつつ、CPUの動作周波数を低下若しくは完全停止させることができる、優れた情報処理システムを提供することができる。

【0128】また、本発明によれば、CPUの稼働状態をより的確に把握することによって、適切なタイミングでCPUの動作周波数を低下若しくは完全停止させることができる、優れた情報処理システムを提供することが

【0129】また、本発明によれば、通信ポート（シリアル・ポートやパラレル・ポート）を介して他の独立した機器（他のPC）との間でデータ転送を行っている間（あるいは通信アプリケーションを起動中）、適切なタイミングでCPUの動作周波数を低下若しくは完全停止させることができる、優れた情報処理システムを提供することができる。

【図面の簡単な説明】

【図1】図1は、本発明の実施に供されるパーソナル・コンピュータ（PC）100のハードウェア構成を示した図である。

【図2】図2は、本発明の実施に供されるPC100上で実行可能なソフトウェアの階層的構成を概略的に示した図である。

【図3】図3は、本発明の実施に供されるパワー・マネジメントLSIの内部構成を示した図である。

【図4】図4は、PCIバス上で発生するリード・サイクルのタイミング・チャートを示した図である。

【図5】図5は、PCIバス上で発生するライト・サイクルのタイミング・チャートを示した図である。

*【図6】図6は、状態判定部50bの動作特性を表現した状態遷移図である。

【図7】図7は、通信ポートを介して他の機器とデータ転送を行うときのシステム100の様子を示した図である。より具体的には、図7(a)は通信アプリケーション起動中の各フェーズを示す図、図7(b)は各フェーズにおける状態判定部50bの判定結果（状態）を示す図、図7(c)はCPUのアクティビティ（待ち行列中の有効タスクの存在）を例示した図、図7(d)は図7(c)に示すCPUのアクティビティ下で現実に行われるCPUのパフォーマンス（動作モード）を示す図である。

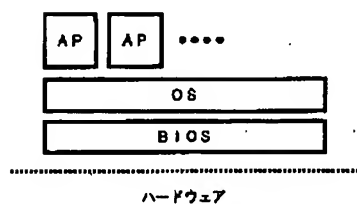
【図8】図8は、パワー・マネジメント機能を内蔵したCPUチップ11の内部構成を概略的に示した図である。

【符号の説明】

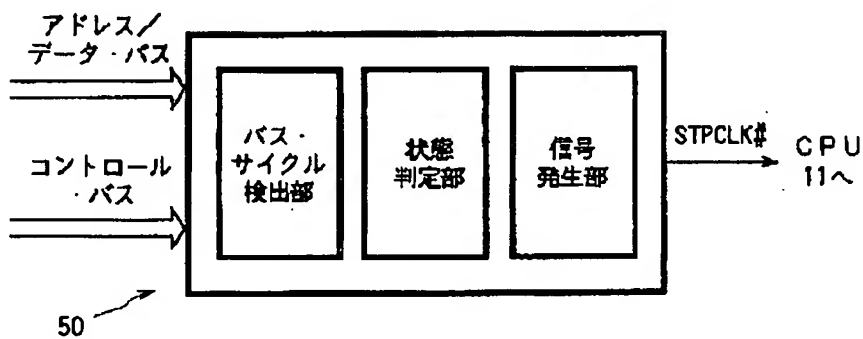
11…CPU、12…プロセッサ・バス、13…L2キャッシュ、14…ブリッジ回路、15…メイン・メモリ、16…ローカル・バス、17…ビデオ・コントローラ、18…VRAM、19…液晶表示ディスプレイ（LCD）、20…ブリッジ回路、21…ハード・ディスク・ドライブ（HDD）、22…システム・バス、23…I/Oコントローラ、24…シリアル・ポート、25…パラレル・ポート、26…フロッピー・ディスク・コントローラ（FDC）、27…フロッピー・ディスク・ドライブ（FDD）、28…キーボード/マウス・コントローラ（KMC）、29…キーボード、30…マウス、31…オーディオ・コントローラ、32…アンプ、33…スピーカ、34…ROM、40…発振器（OSC）、50…パワー・マネジメントLSI（PM_LSI）、100…パーソナル・コンピュータ（PC）。

*

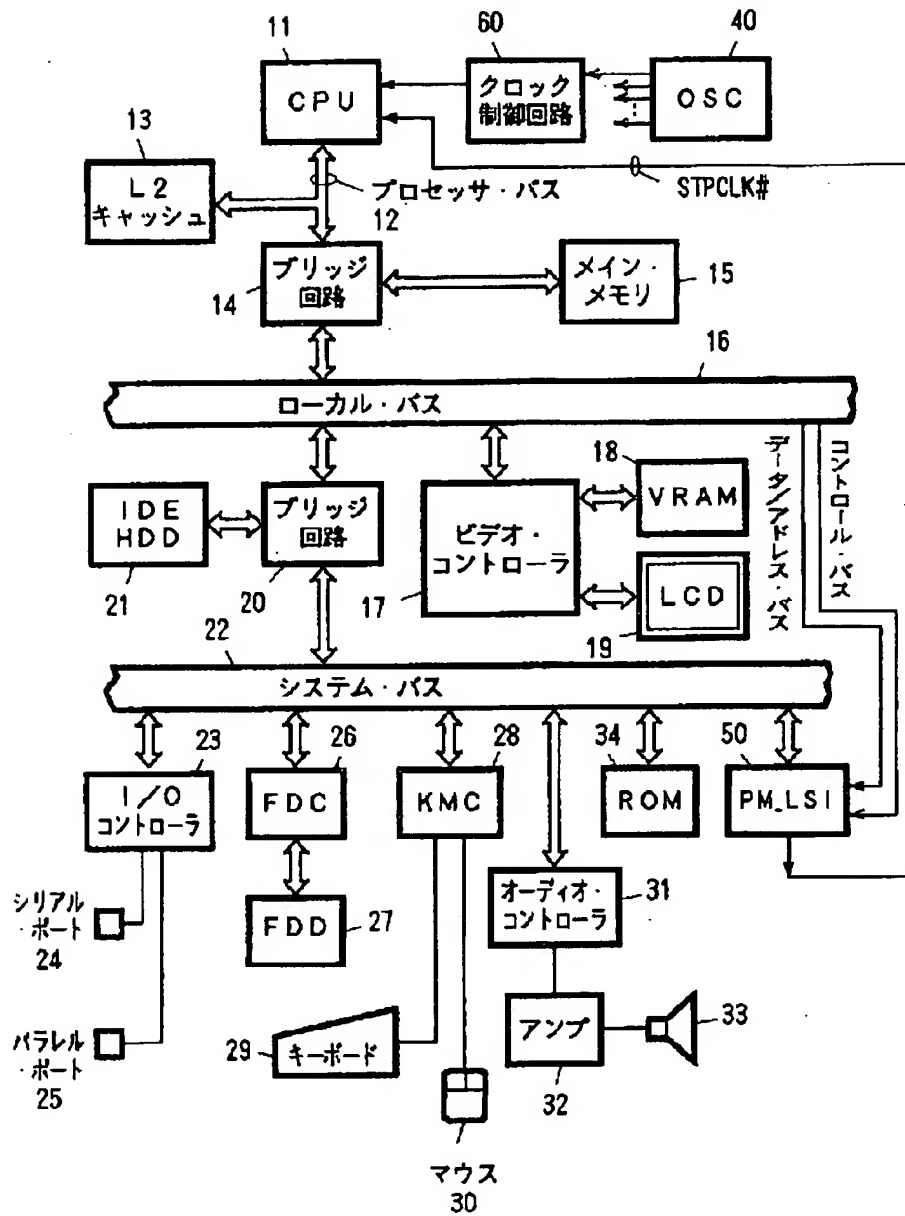
【図2】



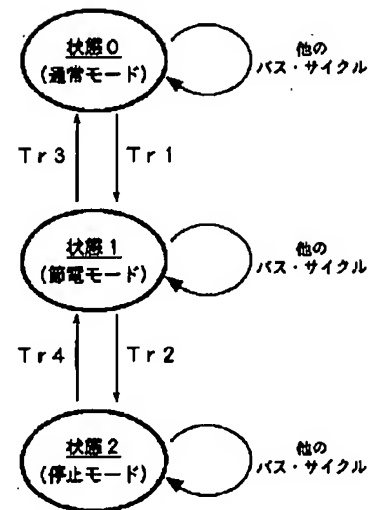
【図3】



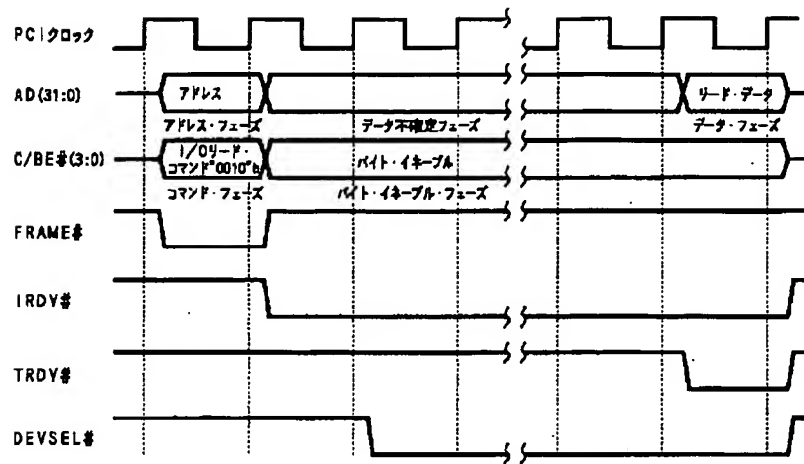
【図1】



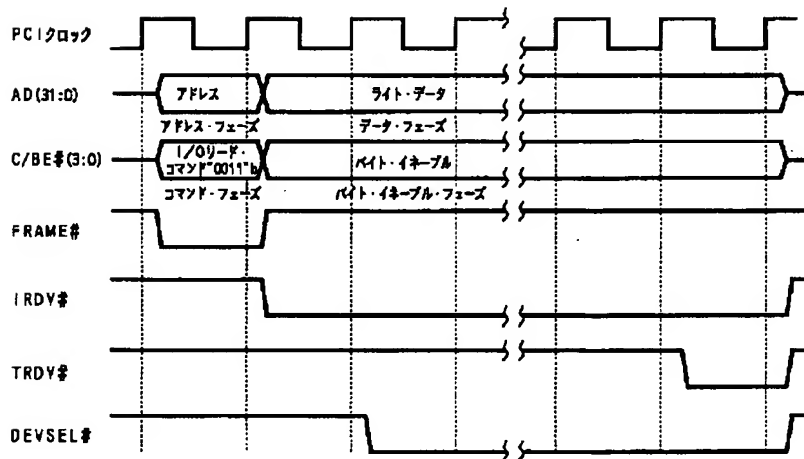
【図6】



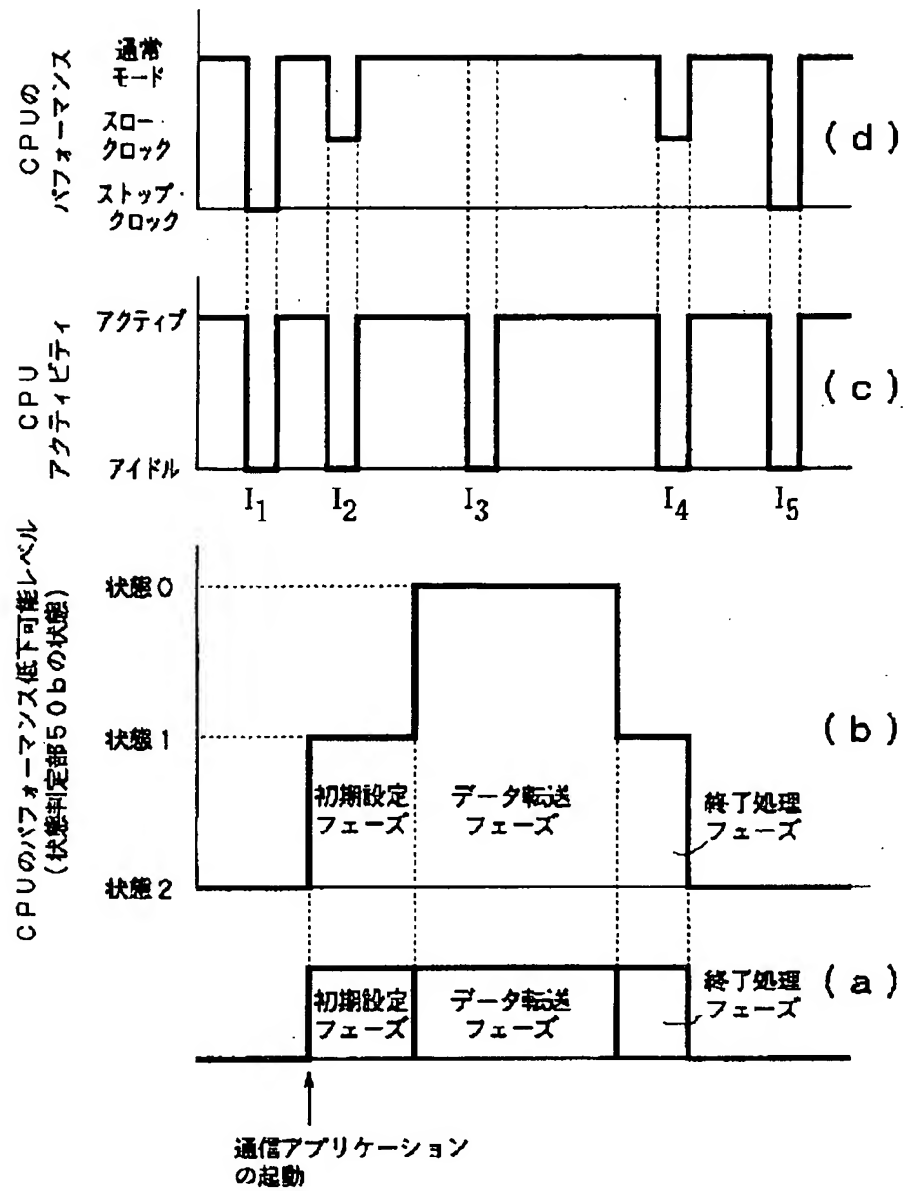
【図4】



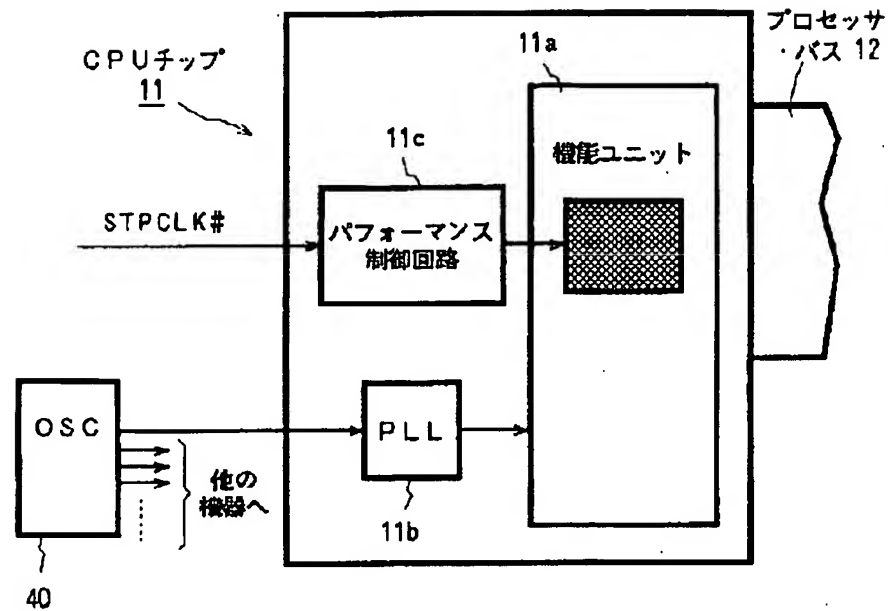
【図5】



【図7】



【図8】



フロントページの続き

(72)発明者 河野 誠一
 神奈川県大和市下鶴間1623番地14 日本ア
 イ・ビー・エム株式会社 大和事業所内

(72)発明者 中野 正剛
 神奈川県大和市下鶴間1623番地14 日本ア
 イ・ビー・エム株式会社 大和事業所内

(72)発明者 乾 尚
 神奈川県大和市下鶴間1623番地14 日本ア
 イ・ビー・エム株式会社 大和事業所内